

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有權機關
國際事務局



(43) 国際公開日
2005年9月15日(15.09.2005)

PCT

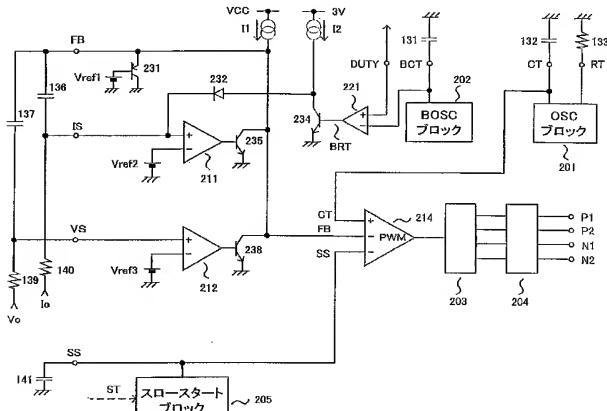
(10) 国際公開番号
WO 2005/086336 A1

(51) 國際特許分類: H02M 7/48, H05B 41/24, 41/392
 (21) 國際出願番号: PCT/JP2005/004018
 (22) 國際出願日: 2005 年 3 月 2 日 (02.03.2005)
 (25) 國際出願の言語: 日本語
 (26) 國際公開の言語: 日本語
 (30) 優先権データ:
 特願2004-061709 2004 年 3 月 5 日 (05.03.2004) JP
 (71) 出願人(米国を除く全ての指定国について): ローム
 株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都
 府京都市右京区西院溝崎町 21 番地 Kyoto (JP).
 (72) 発明者; および
 (75) 発明者/出願人(米国についてのみ): 福本 憲一 (FUKU-
 MOTO, Kenichi) [JP/JP]; 〒6158585 京都府京都市右京
 区西院溝崎町 21 番地 ローム株式会社内 Kyoto (JP).
 (74) 代理人: 紋田 誠, 外 (MONDA, Makoto et al.); 〒
 1010048 東京都千代田区神田司町 2-21-10 富士神田ビル 3 階 ミネルバ国際特許事務所 Tokyo (JP).
 (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
 BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
 DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
 ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
 LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,
 NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,
 SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
 US, UZ, VC, VN, YU, ZA, ZM, ZW.
 (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
 SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ,
 BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
 BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,

[続葉有]

(54) Title: DC-AC CONVERTER, ITS CONTROLLER IC, AND ELECTRONIC APPARATUS USING THE DC-AC CONVERTER

(54) 発明の名称: 直流-交流変換装置、そのコントローラ I C、及びその直流-交流変換装置を用いた電子機器



201 OSC BLOCK
202 BOSC BLOCK
205 SLOW START BLOCK

(57) Abstract: An inverter having a PWM-controlled semiconductor switch circuit provided on the primary side of a transformer, wherein an error signal is set to virtually zero based on an intermittent operation signal at an intermittent operation-off, and an error signal is slowly increased at a transition from an intermittent operation-off state to an on-state and it is slowly decreased at a transition from an intermittent operation-on state to an off state. The slow starting and ending of the intermittent operation is carried out by using charging/discharging of a feedback circuit to/from a capacitor. Accordingly, a combined use of constant current control and intermittent control expands a range within which power can be supplied to a load, significantly reduces transformer humming and prevents excessive current from occurring.

[続葉有]



IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:
— 国際調査報告書

(57) 要約: PWM制御される半導体スイッチ回路を変圧器の一次側に設けたインバータにおいて、間欠動作信号に基づいて間欠動作オフ時に誤差信号を実質上零に設定させるとともに、間欠動作オフ状態から間欠動作オン状態への移行時に誤差信号を緩やかに増加させ、また、間欠動作オン状態から間欠動作オフ状態への移行時に誤差信号を緩やかに減少させる。その間欠動作のスロースタート、スローエンドは、帰還回路のキャパシタへの充放電を利用して行う。これにより、定電流制御と間欠制御を併用して負荷へ電力供給できる範囲を広げると共に、変圧器の音鳴りを著しく低減し、過大電流の発生を防止する。

明細書

直流一交流変換装置、そのコントローラ I C、及びその直流一交流変換装置を用いた電子機器

5

技術分野

本発明は、電気機器付属の電源アダプターや、電池などの直流電源から、負荷を駆動するための交流電圧を発生する直流一交流変換装置（以下、インバータという）、そのコントローラ I C、及びそのインバータを用いた電子機器に関する。

10

背景技術

ノートパソコンや液晶テレビ受像機などの液晶ディスプレイのバックライト光源として、冷陰極蛍光灯（C C F L）が用いられるようになってきている。このC C F Lは、通常の熱陰極蛍光灯とほぼ同様の高い効率と長い寿命を持っており、そして、熱陰極蛍光灯が持っているフィラメントを省いている。

このC C F Lを起動及び動作させるためには、高い交流電圧を必要とする。例えば、起動電圧は約 1 0 0 0 v（実効値；以下、交流電圧について同じ）であり、動作電圧は約 6 0 0 vである。この高い交流電圧を、インバータを用いて、ノートパソコンや液晶テレビ受像機などに設けられている直流電源から発生させる。

C C F Lに交流電力を供給するためのインバータとして、電力変換効率を高めるようにしたC C F L用インバータが提案されている（特開平 1 0 - 5 0 4 8 9 号公報：以下、特許文献 1）。このインバータは、変圧器の一次巻線に第 1 半導体スイッチを直列に接続し、また、第 2 半導体スイッチとキャパシタとの直列接続回路を変圧器の一次巻線に並列に接続し、かつ、変圧器の二次巻線に結合キャパシタと負荷とを直列に接続する。そして、変圧器の一次側電流を制御回路に帰

還し、基準電圧と比較することにより制御信号を形成し、その制御信号によって第1、第2半導体スイッチをオン・オフ制御して、負荷に所定の交流電力を供給するようにしている。

また、4つの半導体スイッチを用いてフルブリッジ（Hブリッジ）型のCCL用インバータが提案されている（特開2002-233158号公報：以下、特許文献2）。このインバータでは、変圧器の一次巻線に、共振用キャパシタを直列に介して、Hブリッジの出力端を接続し、変圧器の二次巻線に負荷を接続する。Hブリッジを構成する4つの半導体スイッチのうちの、第1組の2つの半導体スイッチにより変圧器の一次巻線に第1方向の電流経路を形成し、第2組の2つの半導体スイッチにより変圧器の一次巻線に第2方向の電流経路を形成する。そして、変圧器の二次巻線に流れる電流を制御回路に帰還し基準電圧と比較することにより、固定された同一パルス幅で、そのパルスの相対位置が制御された制御信号を発生する。その制御信号により、Hブリッジの半導体スイッチを制御して、負荷への供給電力を調整している。また、変圧器の二次巻線の電圧を検出して、過電圧保護を行うようにしている。

また、CCLに流れる電流を検出し、その電流が所定値となるようにインバータ電源装置の間欠動作における点灯／非点灯をパルス幅変調（PWM）のデューティを調整して点灯／非点灯の時間比を調整するようにしたものも知られている（特開2002-221701号公報：以下、特許文献3）。

特許文献1、2のインバータでは、負荷に流れる電流が所定値になるように半導体スイッチのオン期間を制御して、負荷への供給電力を制御している。負荷への供給電力を小さくするためには、半導体スイッチをオンするための制御パルスの幅を狭くすることになるが、制御パルスの幅を狭くして小さい電力を安定して負荷に供給するには限界がある。したがって、負荷であるCCLの調光範囲を下限方向に拡げることは困難であった。

また、特許文献3のインバータでは、間欠動作における点灯（オン）／非点

灯（オフ）の時間比の制御のみではきめ細かい調光を行うことは困難である。また、間欠動作に伴って、変圧器から音鳴りが発生したり、出力電流がオーバーシュートすることを避けるためのスロースタート構成が複雑になる問題があった。

そこで、本発明は、二次巻線が負荷に接続される変圧器の一次巻線に半導体スイッチ回路を設けたインバータにおいて、この半導体スイッチ回路の各スイッチをパルス幅変調（以下、PWM）して定電流制御し、かつ間欠動作による制御を併用して負荷へ電力供給できる範囲を広げるとともに、起動時及び間欠動作時のスロースタートをそれぞれ簡易な構成で実現し、間欠動作に起因する変圧器の音鳴りを著しく低減し、過大電流の発生を防止することができるインバータを提供することを目的とする。また、そのインバータに用いるコントローラICを提供することを目的とする。また、そのインバータとそれにより駆動される発光装置を備えた電子機器を提供することを目的とする。

発明の開示

15 本発明のインバータは、一次巻線と少なくとも1つの二次巻線とを持つ変圧器と、

直流電源間にその一次巻線を間に介して直列に接続され、その一次巻線に第1方向に電流を流すための第1半導体スイッチ及び第2半導体スイッチと、その直流電源間にその一次巻線を間に介して直列に接続され、その一次巻線に第2方向に電流を流すための第3半導体スイッチ及び第4半導体スイッチと、

その二次巻線に接続された負荷に流れる電流を検出する電流検出回路と、

三角波信号を発生する三角波信号発生回路と、

その電流検出回路による電流検出信号に基づく誤差信号とその三角波信号とを比較してPWM制御信号を発生するPWM制御信号発生回路と、

25 間欠動作信号に基づいて間欠動作オフ時にその誤差信号を実質上零に設定させるとともに、間欠動作オフ状態から間欠動作オン状態への移行時にその誤差信号

を緩やかに増加させ、間欠動作オン状態から間欠動作オフ状態への移行時にその誤差信号を緩やかに減少させる間欠動作制御回路と、

その PWM 制御信号に基づいて、その第 1 半導体スイッチをオンさせる第 1 スイッチ信号と、その第 2 半導体スイッチをオンさせる第 2 スイッチ信号と、その
5 第 3 半導体スイッチをオンさせる第 3 スイッチ信号と、その第 4 半導体スイッチをオンさせる第 4 スイッチ信号とを、その第 1 スイッチとその第 4 スイッチとの両方がオフしている同時オフ期間及びその第 3 スイッチとその第 2 スイッチとの両方がオフしている同時オフ期間を設けるように、且つその一次巻線に流れる電流の方向をその第 1 方向からその第 2 方向あるいはその第 2 方向からその第 1 方向へ切り換える際の電流値が零の状態で切り換えるタイミングで、発生するスイッチ信号出力用のロジック回路とを備える。
10

本発明のコントロール IC は、変圧器の一次巻線を間に介して直列に接続され、直流電源からの電流を第 1 方向に電流を流すための第 1 半導体スイッチ及び第 2 半導体スイッチと、その一次巻線を間に介して直列に接続され、その直流電源から
15 の電流を第 2 方向に電流を流すための第 3 半導体スイッチ及び第 4 半導体スイッチとを含むスイッチ回路を駆動して、その変圧器の二次巻線に接続された負荷へ交流電力を供給するためのコントローラ IC であって、

三角波信号を発生する三角波信号発生回路と、

その負荷に流れる電流に応じた電流検出信号に基づく誤差信号とその三角波信号とを比較して PWM 制御信号を発生する PWM 制御信号発生回路と、
20

間欠動作信号に基づいて間欠動作オフ時にその誤差信号を実質上零に設定させるとともに、間欠動作オフ状態から間欠動作オン状態への移行時にその誤差信号を緩やかに増加させ、間欠動作オン状態から間欠動作オフ状態への移行時にその誤差信号を緩やかに減少させるための間欠動作制御回路と、

25 その PWM 制御信号に基づいて、その第 1 半導体スイッチをオンさせる第 1 スイッチ信号と、その第 2 半導体スイッチをオンさせる第 2 スイッチ信号と、その

第3半導体スイッチをオンさせる第3スイッチ信号と、その第4半導体スイッチをオンさせる第4スイッチ信号とを、その第1スイッチとその第4スイッチとの両方がオフしている同時オフ期間及びその第3スイッチとその第2スイッチとの両方がオフしている同時オフ期間を設けるように、且つその一次巻線に流れる電流の方向をその第1方向からその第2方向あるいはその第2方向からその第1方向へ切り換える際の電流値が零の状態で切り換えるタイミングで、発生するスイッチ信号出力用のロジック回路とを備えることを特徴とする。

また、その第2スイッチは、その三角波信号列の1つおきの三角波信号の一方頂点の時点でオンし、その直後の三角波信号とその誤差信号とが等しくなるまでオンを継続し、その第1スイッチは、その第2スイッチがオンする時点の所定時間前にオンし、その第2スイッチがオフした直後の三角波信号の他方頂点の時点までオンを継続し、その第4スイッチは、その三角波信号列のその第2スイッチがオンする三角波信号とは異なる1つおきの三角波信号の一方頂点の時点でオンし、その直後の三角波信号とその誤差信号とが等しくなるまでオンを継続し、その第3スイッチは、その第2スイッチがオフでその第1スイッチがオンしている時点であって、その第4スイッチがオンする所定期間前からオンし、その第4スイッチがオフした直後の三角波信号の他方頂点の時点までオンを継続する。

また、本発明のインバータは、一次巻線と少なくとも1つの二次巻線とを持つ変圧器と、

直流電源間にその一次巻線を間に介して直列に接続され、その一次巻線に第1方向に電流を流すための第1キャパシタと第1半導体スイッチと、その直流電源間にその一次巻線を間に介して直列に接続され、その一次巻線に第2方向に電流を流すための第2半導体スイッチ及び第2キャパシタと、

その二次巻線に接続された負荷に流れる電流を検出する電流検出回路と、

25 三角波信号を発生する三角波信号発生回路と、

その電流検出回路による電流検出信号に基づく誤差信号とその三角波信号とを

比較して PWM 制御信号を発生する PWM 制御信号発生回路と、
間欠動作信号に基づいて間欠動作オフ時にその誤差信号を実質上零に設定させ
るとともに、間欠動作オフ状態から間欠動作オン状態への移行時にその誤差信号
を緩やかに増加させ、間欠動作オン状態から間欠動作オフ状態への移行時にその
誤差信号を緩やかに減少させる間欠動作制御回路と、
5 誤差信号を緩やかに減少させる間欠動作制御回路と、

その PWM 制御信号に基づいて、その第 1 半導体スイッチをオンさせる第 1 ス
イッチ信号と、その第 2 半導体スイッチをオンさせる第 2 スイッチ信号とを、そ
の第 1 スイッチとその第 2 スイッチとの両方がオフしている同時オフ期間を設け
るよう、且つその一次巻線に流れる電流の方向をその第 1 方向からその第 2 方
向あるいはその第 2 方向からその第 1 方向へ切り換える際の電流値が零の状態で
10 切り換えるタイミングで、発生するスイッチ信号出力用のロジック回路とを備え
る。

また、本発明のコントローラ I C は、変圧器の一次巻線を間に介して直列に
接続され、直流電源からの電流を第 1 方向に流すための第 1 キャパシタと第 1 半
導体スイッチと、その一次巻線を間に介して直列に接続され、直流電源からの電
流を第 2 方向に流すための第 2 半導体スイッチ及び第 2 キャパシタとを含むスイ
ッチャ回路を駆動して、その変圧器の二次巻線に接続された負荷へ交流電力を供給
するためのコントローラ I C であって、
15

三角波信号を発生する三角波信号発生回路と、
20 その負荷に流れる電流に応じた電流検出信号に基づく誤差信号とその三角波信
号とを比較して PWM 制御信号を発生する PWM 制御信号発生回路と、

間欠動作信号に基づいて間欠動作オフ時にその誤差信号を実質上零に設定させ
るとともに、間欠動作オフ状態から間欠動作オン状態への移行時にその誤差信号
を緩やかに増加させ、間欠動作オン状態から間欠動作オフ状態への移行時にその
誤差信号を緩やかに減少させるための間欠動作制御回路と、
25

その PWM 制御信号に基づいて、その第 1 半導体スイッチをオンさせる第 1 ス

イッチ信号と、その第2半導体スイッチをオンさせる第2スイッチ信号とを、その第1スイッチとその第2スイッチとの両方がオフしている同時オフ期間を設けるように、且つその一次巻線に流れる電流の方向をその第1方向からその第2方向あるいはその第2方向からその第1方向へ切り換える際の電流値が零の状態で
5 切り換えるタイミングで、発生するスイッチ信号出力用のロジック回路とを備えることを特徴とする。

また、その第1スイッチは、その三角波信号列の1つおきの三角波信号の一方頂点の時点でオンし、その直後の三角波信号とその誤差信号とが等しくなるまでオンを継続し、その第2スイッチは、その三角波信号列のその第1スイッチが
10 オンする三角波信号とは異なる1つおきの三角波信号の一方頂点の時点でオンし、その直後の三角波信号とその誤差信号とが等しくなるまでオンを継続する。

また、そのPWM制御信号発生回路は、その電流検出信号と電流基準信号との差に基づく誤差信号が出力される誤差信号発生回路と、その三角波信号とその誤差信号とを比較してそのPWM制御信号を出力するPWM比較器とを有し、
15 その間欠動作制御回路は、その誤差信号発生回路に結合され、その間欠動作信号によってオン或いはオフに制御される間欠動作用制御素子を有し、間欠動作オフ時にその誤差信号が実質上零になるようにその間欠動作用制御素子がスイッチングされる。

また、その誤差信号発生回路は、その電流検出信号をその電流基準信号と比較する誤差増幅器の誤差出力に基づいてその誤差信号を出力し、
20 その間欠動作制御回路は、その誤差増幅器へのその電流検出信号を所定値に設定することにより、その誤差信号を実質上零にする。

また、その誤差信号発生回路の出力端とその誤差増幅器の電流検出信号入力端との間にキャパシタが接続されており、
25 間欠動作オフへの移行時にその誤差信号が零になる方向にそのキャパシタの電荷を放電し、間欠動作オンへの移行時にその誤差信号が増加する方向にそのキャ

パシタに電荷を充電させる。

本発明の電子機器は、直流電源と、この直流電源の直流電圧が入力され交流出力を発生する本発明のインバータと、この直流一交流変換装置の交流出力により駆動される発光装置とを備える。また、その発光装置は、C C F Lである。

5 本発明によれば、直流電源から、負荷を駆動するための交流電圧を発生する
インバータにおいて、二次巻線が負荷に接続される変圧器の一次巻線に、フルブ
リッジあるいはハーフブリッジ構成の半導体スイッチ回路を設け、負荷に流れる
電流を帰還して各スイッチをパルス幅変調（PWM）制御するとともに、間欠動
作による制御を併用することにより、負荷へ電力供給できる範囲を広げるととも
に、きめ細かい電力制御を可能とする。

また、間欠動作のオフ時及びオン時に、PWM制御の誤差信号が緩やかに減少し（スローエンド）、あるいは緩やかに増加する（スロースタート）。これにより、間欠動作に起因する変圧器の音鳴りを著しく低減し、過大電流の発生を防止することができる。特に、音鳴りを低減できるから、液晶テレビ受像機やノートパソコン等音声を聴取する電子機器の液晶ディスプレイ用バックライト光源として、好適である。

また、間欠動作のスロースタート、スローエンドは、帰還回路のキャパシタへの充放電を利用して行うから、インバータ起動時のスロースタートとは別に、任意の短時間に設定することができる。その時間設定は、そのキャパシタの容量を選択することによって変圧器に合わせて調整できるので、本発明のインバータが使用される電子機器に適合したレベルに、音鳴りを減少させることが容易である。
20

また、間欠動作の立ち上がり、立ち下がり期間を含めて全ての期間で本発明
のように PWM 駆動を行うことによって、CCFL の電流が少ない部分でも正・
負電流の対称性が保たれるので、過大電流の防止と相俟って、CCFL の寿命低
下を抑制することが出来る。

また、間欠動作オフ期間には、誤差信号を実質上零にして出力電流を完全に零にしている。これにより、例えばパルス幅を狭くして動作オフさせる場合に発生していたランプ片側点灯現象（ピーク放電現象）もなくすることができる。したがって、ランプ片側点灯現象に伴って、惹起されるランプ寿命の低下も防止できる。

5 きる。

図面の簡単な説明

【図 1】本発明の第 1 実施例に係るインバータの全体構成図

【図 2】図 1 のためのコントローラ I C の内部構成図

10 【図 3】第 1 実施例の動作説明用の回路構成図

【図 4】第 1 実施例の動作説明用のタイミングチャート

【図 5】第 1 実施例の動作状態の説明図

【図 6】第 1 実施例の動作説明用の別のタイミングチャート

【図 7】第 1 実施例の動作説明用のさらに別のタイミングチャート

15 【図 8】本発明の第 2 実施例に係るインバータの全体構成図

【図 9】第 2 実施例の動作説明用のタイミングチャート

【図 10】第 2 実施例の動作説明用の別のタイミングチャート

【図 11】第 2 実施例の動作状態の説明図

20 発明を実施するための最良の形態

以下、図面を参照して、本発明の直流電源から、CCFLなどの負荷を駆動するための交流電圧を発生するインバータ、そのインバータ制御用のコントローラ I C、及びそのインバータを用いた液晶ディスプレイを有する電子機器（パソコン、テレビ受像機など）の実施例について説明する。

25 図 1 は、絶縁変圧器、フルブリッジ（Hブリッジ）のスイッチ回路とを用いて、PWM制御する本発明の第 1 の実施例に係るインバータの全体構成を示す図

である。図2は、そのためのインバータ制御用のコントローラICの内部構成を示す図である。

図1において、第1スイッチであるP型MOSFET（以下、PMOS）101と第2スイッチであるN型MOSFET（以下、NMOS）102とで、変圧器TRの一次巻線105への第1方向の電流経路を形成する。また、第3スイッチであるPMOS103と第4スイッチであるNMOS104とで、変圧器TRの一次巻線105への第2方向の電流経路を形成する。これらのPMOS101、103、NMOS102、104は、それぞれボディダイオード（即ち、バックゲートダイオード）を有している。このボディダイオードにより、本来の電流経路と逆方向の電流を流すことができる。なお、ボディダイオードと同様の機能を果たすダイオードを別に設けてもよい。

直流電源である電池（バッテリー）BATの直流電源電圧VCCがPMOS101、103、NMOS102、104を介して変圧器TRの一次巻線105に供給され、その2次巻線106に巻線比に応じた高電圧が誘起される。この誘起された高電圧が冷陰極蛍光灯FLに供給されて、冷陰極蛍光灯FLが点灯する。なお、直流電源としては、交流電圧を変圧し整流するアダプタなど、電池以外のものでも良い。

電池BATからは、本発明のインバータ装置のみでなく、その他の電装部品（他回路）へも直流電源電圧VCCを供給する。

キャパシタ111、キャパシタ112は、抵抗117、抵抗118とともに、冷陰極蛍光灯FLに印加される電圧を検出して、コントローラIC200にフィードバックするものである。抵抗114、抵抗115は、冷陰極蛍光灯FLに流れる電流を検出して、コントローラIC200にフィードバックするものである。また、キャパシタ111は、そのキャパシタンスと変圧器TRのインダクタンス成分とで共振させるためのものであり、この共振には冷陰極蛍光灯FLの寄生キャパシタンスも寄与する。113、116、119、120は、ダイオードであ

る。また、151、152は電源電圧安定用のキャパシタである。

コントローラIC200は複数の入出力ピンを有している。第1ピン1Pは、PWMモードと間欠動作（以下、バースト）モードの切替端子である。この第1ピン1Pには、外部からそれらモードの切替及びバーストモード時のデューティ比を決定するデューティ信号DUTYが入力される。第2ピン2Pは、バーストモード発振器（BOSC）の発振周波数設定容量接続端子である。この第2ピン2Pには、設定用キャパシタ131が接続され、そこにバースト用三角波信号BCTが発生する。

第3ピン3Pは、PWMモード発振器（OSC）の発振周波数設定容量接続端子である。この第3ピン3Pには、設定用キャパシタ132が接続され、そこにPWM用三角波信号CTが発生する。第4ピン4Pは、第3ピン3Pの充電電流を設定する設定用抵抗接続端子である。この第4ピン4Pには、設定用抵抗133が接続され、その電位RTと抵抗値に応じた電流が流れる。第5ピン5Pは、接地端子であり、グランド電位GNDにある。

第6ピン6Pは、第3ピン3Pの充電電流を設定する設定用抵抗接続端子である。この第6ピン6Pには、設定用抵抗134が接続され、内部回路の制御によりこの抵抗134が設定用抵抗133に並列に接続されるかあるいは切り離される。この第6ピン6Pの電位SRTはグランド電位GNDか、第4ピン4Pの電位RTになる。第7ピン7Pは、タイマーラッチ設定容量接続端子である。この第7ピン7Pには、内部の保護動作用の動作時限を決定するためのキャパシタ135が接続され、キャパシタ135の電荷に応じた電位SCPが発生する。

第9ピン9Pは、第1誤差増幅器用入力端子である。この第9ピン9Pには、抵抗140を介して、冷陰極蛍光灯FLに流れる電流に応じ電流検出信号（以下、検出電流）ISが入力される。そして、その検出電流ISが第1誤差増幅器に入力される。第8ピン8Pは、第1誤差増幅器用出力端子である。この第8ピン8Pと第9ピン9Pとの間にキャパシタ136が接続される。第8ピン8Pの電位

が帰還電圧 F B となり、 PWM 制御のための制御電圧になる。以下、各電圧は、特に断らない限り、グランド電位を基準としている。

第 10 ピン 10 P は、第 2 誤差増幅器用入力端子である。この第 10 ピン 10 P には、抵抗 139 を介して、冷陰極蛍光灯 F L に印加される電圧に応じた電圧検出信号（以下、検出電圧） V S が入力される。その検出電圧 V S が、第 2 誤差増幅器に入力される。第 10 ピン 10 P には、キャパシタ 137 が第 8 ピン 8 P との間に接続される。

第 11 ピン 11 P は、起動及び起動時間設定端子である。この第 11 ピン 11 P には、抵抗 143 とキャパシタ 142 により、起動信号 S T が遅延された信号 S T B が印加される。第 12 ピン 12 P は、スロースタート設定容量接続端子である。この第 12 ピン 12 P には、キャパシタ 141 がグランドとの間に接続され、起動時に徐々に上昇するスロースタート用の電圧 S S が発生する。

第 13 ピン 13 P は、同期用端子であり、他のコントローラ I C と協働させる場合に、それと接続される。第 14 ピン 14 P は、内部クロック入出力端子であり、他のコントローラ I C と協働させる場合に、それと接続される。

第 15 ピン 15 P は、外付け FET ドライブ回路のグランド端子である。第 16 ピン 16 P は、NMOS 102 のゲート駆動信号 N 1 を出力する端子である。第 17 ピン 17 P は、NMOS 104 のゲート駆動信号 N 2 を出力する端子である。第 18 ピン 18 P は、PMOS 103 のゲート駆動信号 P 2 を出力する端子である。第 19 ピン 19 P は、PMOS 101 のゲート駆動信号 P 1 を出力する端子である。第 20 ピン 20 P は、電源電圧 V CC を入力する電源端子である。

コントローラ I C 200 の内部構成を示す図 2において、OSC ブロック 201 は、第 3 ピン 3 P に接続されたキャパシタ 132 と第 4 ピン 4 P に接続された抵抗 133、134 により周期が決定される PWM 三角波信号 C T を発生し、PWM 比較器 214 に供給する。また、OSC ブロック 201 は、PWM 三角波信号 C T に同期した内部クロックを発生し、ロジックブロック 203 に供給する。

BOSCブロック202は、第2ピン2Pに接続されたキャパシタ131とともにバースト用三角波信号発生回路を構成し、そのキャパシタ131により決定されるバースト用三角波信号BCTを発生する。バースト用三角波信号BCTの周波数は、PWM三角波信号CTの周波数より、著しく低く設定される(BCT周波数<CT周波数)。第1ピン1Pに供給されるアナログ(直流電圧)のデューティ信号DUTYと三角波信号BCTを比較器221で比較する。この比較器221の比較出力でオア回路239を介して、NPNトランジスタ(以下、NPN)234を駆動する。なお、第1ピン1Pにデジタル(PWM形式)のデューティ信号DUTYが供給される場合には、第2ピン2Pに抵抗を接続しBOSCブロック202からバースト用所定電圧を発生させる。

ロジックブロック203は、PWM制御信号、内部クロック信号などが入力され、所定のロジックにしたがってスイッチ駆動信号を生成する。出力ブロック204は、ロジックブロック203からのスイッチ駆動信号にしたがって、ゲート駆動信号P1、P2、N1、N2を生成し、PMOS101、103、NMOS102、104のゲートに印加する。

スロースタートブロック205は、起動信号STが入力され、キャパシタ142、抵抗143により緩やかに上昇する電圧STBである比較器217への入力がその基準電圧Vref6を越えると、比較器217の出力により起動する。比較器217の出力は、ロジックブロック203を駆動可能にする。なお、249は、反転回路である。また、比較器217の出力により、オア回路243を介してフリップフロップ(FF)回路242をリセットする。スタートブロック205が起動すると、スロースタート電圧SSが徐々に上昇し、PWM比較器214に比較入力として入力される。したがって、起動時には、PWM制御は、スロースタート電圧SSにしたがって行われる。

なお、起動時に、比較器216は、入力が基準電圧Vref5を越えた時点で、オア回路247を介して、NMOS246をオフする。これにより、抵抗1

3 4 を切り離し、 PWM用三角波信号 C T の周波数を変更する。また、オア回路 2 4 7 には、比較器 2 1 3 の出力も入力される。

第 1 誤差増幅器 2 1 1 は、冷陰極蛍光灯 F L の電流に比例した検出電流 I S と基準電圧 V r e f 2 (例、 1. 2 5 v) とを比較し、その誤差に応じた出力に 5 より、定電流源 I 1 に接続された N P N 2 3 5 を制御する。この N P N 2 3 5 のコレクタは第 8 ピン 8 P に接続されており、この接続点の電位が帰還電圧 (以下、 誤差信号ともいう) F B となり、 PWM比較器 2 1 4 に比較入力として入力され る。

PWM比較器 2 1 4 では、三角波信号 C T と、帰還電圧 F B あるいはスロー 10 スタート電圧 S S の低い方の電圧とを比較して、 PWM制御信号を発生し、アン ド回路 2 4 8 を介してロジックブロック 2 0 3 に、供給する。起動終了後の定常 状態では、三角波信号 C T と帰還電圧 F B とが比較され、設定された電流が冷陰 極蛍光灯 F L に流れるように自動的に制御される。

なお、第 8 ピン 8 P と第 9 ピン 9 Pとの間には、キャパシタ 1 3 6 が接続さ 15 れているから、帰還電圧 F B は滑らかに増加あるいは減少する。したがって、 P WM制御はショックなく、円滑に行われる。

第 2 誤差増幅器 2 1 2 は、冷陰極蛍光灯 F L の電圧に比例した検出電圧 V S と基準電圧 V r e f 3 (例、 1. 2 5 v) とを比較し、その誤差に応じた出力に 20 より、ダブルコレクタの一方が定電流源 I 1 に接続されたダブルコレクタ構造の N P N 2 3 8 を制御する。この N P N 2 3 8 のコレクタはやはり第 8 ピン 8 P に 接続されているから、検出電圧 V S によっても 帰還電圧 F B が制御される。し たがって、誤差増幅器 2 1 2 及び N P N 2 3 8 は、帰還信号 F B を制御する帰還 信号制御回路を構成する。なお、帰還電圧 F B が基準電圧 V r e f 1 (例、 3 v) を越えると、 P N P トランジスタ (以下、 P N P) 2 3 1 がオンし、帰還電圧 F 25 B の過上昇を制限する。

比較器 2 1 5 は、電源電圧 V C C を抵抗 2 4 0 、 2 4 1 で分圧した電圧と基

準電圧 $V_{ref\ 7}$ (例、2.2v) とを比較し、電源電圧 V_{CC} が所定値に達した時点でその出力を反転し、オア回路 243 を介して FF 回路 242 をリセットする。

比較器 218 は、スロースタート電圧 S_S を基準電圧 $V_{ref\ 8}$ (例、2.5v) と比較し、電圧 S_S が大きくなるとアンド回路 244 及びオア回路 239 を介して NPN 234 をオンする。NPN 234 のオンにより、ダイオード 232 が電流源 I2 により逆バイアスされ、その結果第 1 誤差増幅器 211 の通常動作を可能にする。

比較器 219 は、ダブルコレクタの他方が定電流源 I3 に接続された NPN 10 238 が第 2 誤差増幅器 212 によりオンされると、その電圧が基準電圧 $V_{ref\ 9}$ (例、3.0v) より低下し、比較出力が反転する。比較器 220 は、帰還電圧 FB を基準電圧 $V_{ref\ 10}$ (例、3.0v) と比較し、帰還電圧 FB が高くなると、比較出力が反転する。比較器 219、220 の出力及び比較器 218 の出力の反転信号をオア回路 245 を介してタイマーブロック 206 に印加し、15 所定時間を計測して出力する。このタイマーブロック 206 の出力により、FF 242 をセットし、この FF 回路 242 の Q 出力によりロジックブロック 203 の動作を停止する。

次に、以上のように構成される本発明の第 1 実施例のインバータの動作を、図 3 の回路構成図、図 4、図 6、図 7 のタイミングチャート、及び図 5 の動作説明図を参照して説明する。

図 3 は、起動時のスロースタート及びバーストモードに関する部分を図 1 及び図 2 から抜き出した説明用の図面である。したがって、全体の回路動作を見るときには、図 1、図 2 も参照することになる。

さて、コントローラ IC200 に電源電圧 V_{CC} が供給されると、OSC ブロック 201、キャパシタ 132、抵抗 133 で構成される三角波信号発生回路から、キャパシタ 132 のキャパシタンスと、抵抗 133 の抵抗値で決定される

周波数の PWM用三角波信号 CT が発生される。この三角波信号 CT が、 PWM 比較器 214 の (+) 入力端子に入力される。三角波信号 CT の周波数は、例えば 120 kHz であり、キャパシタ 132 や抵抗 133 の値を選択して、所要の周波数に設定することが出来る。

5 PWM比較器 214 の 2つの (-) 入力端子の一方に入力される帰還電圧 FB は、電源電圧 VCC が供給されて、定電流源 I1、NPN235、NPN238 から構成される共通化回路により高い値（上限値）になる。なお、この帰還電圧 FB の値は PNP231 と基準電圧 Vref1 とにより、一定値に制限される。

一方、PWM比較器 214 の他方の (-) 入力端子に入力されるスロースタート電圧 SS は、起動信号 ST を受けていないので零電圧である。PWM比較器 214 は、帰還電圧 FB とスロースタート電圧 SS のうちの低い入力信号が優先されるので、まだ、PWM比較器 214 からは PWM制御信号は出力されない。

10 起動信号 ST が外部からスロースタート回路であるスタートブロック 205 に供給されると、スタートブロック 205 内部の定電流源が駆動されて、その定電流がキャパシタ 141 に流れ込み始める。この定電流によってキャパシタ 141 が充電され、その充電時定数にしたがって、スロースタート電圧 SS が上昇を開始する。即ち、起動時のスロースタートが開始される。

15 PWM比較器 214 では、徐々に上昇するスロースタート電圧 SS と三角波信号 CT とが比較され、スロースタート電圧 SS の値に応じた PWM制御信号が 20 出力される。この PWM制御信号が、ロジックブロック 203、出力ブロック 204 を介して MOSFET 101～104 に供給されて、インバータ動作が行われる。

25 インバータの負荷である冷陰極蛍光灯 FL は、印加される電圧が所定の値になるまでは点灯しないから、スロースタートの最初の段階では出力電圧 VO がスロースタート電圧 SS の上昇に連れて上昇する。したがって、従来のように、上限値にある帰還電圧 FB にしたがって過大な出力電圧 VO （例えば、2000～

2500v) が冷陰極蛍光灯FLに印加されることがない。また、過大な出力電圧Voの印加に伴う、突入電流の発生もないから、冷陰極蛍光灯FLやインバータの主回路部品(MOSFET101~104、変圧器TR、電池BATなど)に与える損傷やストレスを著しく低減する。

5 出力電圧Vo、出力電流Ioが検出され、その検出電圧VS、検出電流ISが第1誤差增幅器211、第2誤差增幅器212で基準電圧Vref2、基準電圧Vref3と比較され、その比較出力でNPN235、NPN238を制御する。NPN235、NPN238が制御されるようになると、帰還電圧FBが上限値から低下してくる。

10 出力電圧Voが上昇し、起動電圧(約1000v)に達すると、出力電流Ioが流れ始めて冷陰極蛍光灯FLが点灯すると共に、出力電圧Voは動作電圧(約600v)に低下する。この時点においても、過大な突入電流が流れることはない。そして、出力電流Ioが徐々に上昇する一方、出力電圧Voはほぼ一定の動作電圧に維持される。また、帰還電圧FBは、出力電圧Voあるいは出力電流Ioが上昇し、NPN235、NPN238が制御されるようになると、帰還用のキャパシタ136、137を介した帰還作用により、上限値から徐々に低下してくる。

20 スロースタート電圧SSが上昇すると共に、出力電流Ioが増加して帰還電圧FBが低下してくる。帰還電圧FBがスロースタート電圧SSと等しくなった時点において、PWM比較器214での三角波信号CTとの比較対象が、それまでのスロースタート電圧SSから帰還電圧FBに移る。これによりスロースタートが終了したことになる。このスロースタートに要する時間は、冷陰極蛍光灯FLが停止している状態から立ち上がるために、比較的長い。このスロースタートに要する時間は、IC200に外付けされるキャパシタ141のキャパシタンスを調整することによって、所要の長さに設定できる。

25 出力電流Ioは基準電圧Vref2で決まる所定値に一定制御される。冷陰

極蛍光灯 F L の明るさは、それに流れる電流により決まり、この電流を維持するためにほぼ一定の動作電圧が印加される。したがって、電圧 V o は、起動時に冷陰極蛍光灯 F L を点灯するために高い電圧が印加され、一旦点灯した後は低い動作電圧でよい。このため、定常状態では、帰還電圧 F B は、出力電流 I o に基づいて決定されることになる。

なお、インバータが停止した場合に、再度の起動に備えて、キャパシタ C 1 の蓄積電荷を放電する放電回路をスタートブロック 205 の内部に設ける。この放電は、例えば起動信号 S T により行うことができる。

次に、 PWM 制御時のロジックブロック 203 、出力ブロック 204 におけるゲート駆動信号 P 1 ~ N 2 の形成ロジックを、図 4 、図 5 を参照して、詳しく説明する。

パルス幅変調信号、即ち PWM 用三角波信号 C T と帰還電圧 F B 、に基づいて、第 1 半導体スイッチである PMOS 101 を駆動する第 1 ゲート駆動信号 P 1 と、第 2 半導体スイッチである NMOS 102 を駆動する第 2 ゲート駆動信号 N 1 と、第 3 半導体スイッチである PMOS 103 を駆動する第 3 ゲート駆動信号 P 2 と、第 4 半導体スイッチである NMOS 104 を駆動する第 4 ゲート駆動信号 N 2 を、 PMOS 101 と NMOS 104 との両方がオフしている同時オフ期間 T off (例、 300 nsec) 及び PMOS 103 と NMOS 102 との両方がオフしている同時オフ期間 T off (例、 300 nsec) を設けるタイミングで発生する。さらに、変圧器 TR の一次巻線 105 に流れる電流の方向を第 1 方向から第 2 方向へ、あるいは第 2 方向から第 1 方向へ切り換える際の電流値が零の状態で切り換えるタイミングで、各ゲート駆動信号 P 1 ~ N 2 を発生する。

図 4において、区間 i でゲート駆動信号 N 1 は H レベル、ゲート駆動信号 N 2 は L レベルであり、ゲート駆動信号 P 1 は L レベル、ゲート駆動信号 P 2 は H レベルにあり、 PMOS 101 と NMOS 102 がオンし、一次巻線 105 には

第1方向に電源B A Tから電流が流れている。この状態が、図5（a）に示されている。

区間iiになると、ゲート駆動信号N1がLレベルになり、ゲート駆動信号P2がLレベルになるまで、PMOS103とNMOS102は共にオフの期間T_{off}が形成され、貫通電流が流れることを防止している。この期間は、PMOS101のみがオンされているが、変圧器TRの蓄積エネルギーにより、第1方向の電流が、PMOS103のボディダイオードとPMOS101を通して流れ続ける。

区間iiの後半では、ゲート駆動信号P2がLレベルになることにより、PMOS103がオンし、ボディダイオードに流れていた電流はPMOS103のチャネルに移る。この区間iiの状態が、図5（b）に示されている。

区間iiiになると、ゲート駆動信号P1がHレベルになり、PMOS101がオフする。まだ、第1方向に電流が流れている場合には、オフされているNMOS104のボディダイオードを通して、電流が流れる。このとき、@点の電位は、区間i、iiの電源電圧VCCから、ボディダイオードによる電圧降下V_fだけ低くなる。この区間iiiの状態が、図5（c）に示されている。

変圧器TRの蓄積エネルギーによる第1方向の電流が零になると、区間ivに入る。この区間ivでは、図5（d）に示されるように、電流が零で、PMOS103のみがオンしている。このように、本発明では、一次巻線105の電流の方向を切り換える以前に、電流が零の状態が形成される。

この電流方向を切り換える以前に、電流を零とする状態は、変圧器TR、共振キャパシタ111、112、冷陰極蛍光灯FLなどの電気的条件に合わせて、PWM制御におけるパルス幅の範囲設定を行うことにより、得られる。

区間vにおいて、ゲート駆動信号P2はLレベル、ゲート駆動信号P1はHレベルにあり、PMOS103がオンしている状態で、ゲート駆動信号N2がHレベルになるとNMOS104はオンとなり、ゼロカレントスイッチングが行わ

れる。PMOS103とNMOS104のオンにより、一次巻線105には第2方向に電源B A Tから電流が流れる。この状態が、図5（e）に示されている。

区間 vi になると、ゲート駆動信号N2がLレベルになり、ゲート駆動信号P1がLレベルになるまで、PMOS101とNMOS104は共にオフの期間T₅が形成され、貫通電流が流れることを防止している。この期間は、PMOS103のみがオンされているが、変圧器TRの蓄積エネルギーにより、第2方向の電流が、PMOS101のボディダイオードとPMOS103を通して流れ続ける。区間 vi の後半では、ゲート駆動信号P1がLレベルになることにより、PMOS101がオンし、ボディダイオードに流れていた電流はPMOS101のチャンネルに移る。この区間 vi の状態が、図5（f）に示されている。

以下、区間 vii になると、電流方向が逆になるだけで、区間 iii と同様に、動作する。その状態が図5（g）に示されている。また、区間 viii になると、第2方向の電流が零になり、図5（h）に示されるように、PMOS101のみがオンしている状態になる。@点の電位は、図示のように変化する。

この第2方向から第1方向に電流方向が切り替わる際にも、やはりゼロカレントスイッチングが行われる。

このように、第2スイッチ102は、三角波信号列C Tの1つおきの三角波信号の一方頂点の時点でオンし、その直後の三角波信号と帰還信号C Tとが等しくなるまでオンを継続し、第1スイッチ101は、第2スイッチ102がオンする時点の所定時間前にオンし、第2スイッチ102がオフした直後の三角波信号の他方頂点の時点でオンを継続する。第4スイッチ104は、三角波信号列C Tの第2スイッチ102がオンする三角波信号とは異なる1つおきの三角波信号の一方頂点の時点でオンし、その直後の三角波信号と帰還信号F Bとが等しくなるまでオンを継続し、第3スイッチ103は、第2スイッチ102がオフで第1スイッチ101がオンしている時点で、第4スイッチ104がオンする所定期間前からオンし、第4スイッチ104がオフした直後の三角波信号の他方頂

点の時点までオンを継続している。

なお、図1において、PMOS101及びPMOS103に代えて、第1スイッチ及び第3スイッチとして、NMOSを用いることもできる。この場合には、この変更に合わせて、ゲート駆動信号も変更することになる。

5 次に、バーストモードについて説明する。コントローラIC200に電源電圧VCCが供給されている状態では、BOSCブロック202、キャパシタ131で構成されるバースト用三角波信号発生回路から、キャパシタ131のキャパシタンスと内部抵抗の抵抗値で決定される周波数のバースト用三角波信号BCTが発生している。バーストモードの制御は、デューティ信号DUTYのレベル10を変更して、バースト用三角波信号BCTと交叉させるかどうか、及び交叉されている時間を調整することにより、行われる。

図6を参照して、デューティ信号DUTYがバースト用三角波信号BCTを越えているオンデューティ期間(ON DUTY)は、PWM制御が行われる。一方、デューティ信号DUTYがバースト用三角波信号BCTを下回っているオフデューティ期間(OFF DUTY)は、PWM制御が停止され、冷陰極蛍光灯FLへの電力供給は停止される。

PWM用三角波信号CTの周波数は例えば120kHzであり、これを周波数が例えば150Hzの三角波信号BCTでバースト制御するから、視覚上で何らの問題はない。そして、デューティ信号DUTYの大きさを制御することにより、PWM制御によって冷陰極蛍光灯FLへ供給可能な範囲を超えて、さらに広範囲に電力供給、即ち光量の制御を行うことができる。バースト用三角波信号BCTの周波数(バースト周波数)は、キャパシタ131のキャパシタンスを選択することにより、所要の周波数(例えば、100Hz～500Hz)に設定される。

25 バースト周波数は、以上のように所定の周波数になるようにある周波数範囲内で調整されるが、その周波数範囲は可聴周波数域にある。変圧器TRは、その

磁束の変化によってコア（鉄芯）や巻線が変形したり位置ずれしたりする。

バースト周波数は、可聴周波数域にあるから、そのコアや巻線の変形などによって発生する音が、変圧器の音鳴りとして聞こえることになる。したがって、インバータが、液晶テレビ受像機やノートパソコン等音声を聴取する電子機器の
5 液晶ディスプレイ用バックライト光源として用いられる場合には、特に変圧器の音鳴りが問題となる。

本発明では、間欠動作制御回路によって、間欠動作信号（バースト信号）B R Tに基づいて間欠動作オフ（オフデューティ）時に誤差信号F Bを実質上零に設定させるとともに、間欠動作オフ状態から間欠動作オン（オンデューティ）状
10 態への移行時に誤差信号F Bを緩やかに増加させ、また間欠動作オン状態から間
欠動作オフ状態への移行時に誤差信号F Bを緩やかに減少させる。これにより、
バースト制御に伴って発生する変圧器の音鳴りを著しく低いレベルに抑制する。

また、間欠動作の立ち上がり、立ち下がり期間を含めて全ての期間で本発明
のようにPWM駆動を行うことによって、C C F Lの電流が少ない部分でも正・
15 負電流の対称性を保つ。この正・負電流の対称性の保持と、過大電流の防止とが
相俟って、C C F Lの寿命低下を抑制する。

また、間欠動作オフ時には、誤差信号F Bを実質上零にして出力電流I oを完全に零にしている。例えば、パルス幅を狭くして動作オフ状態を実現しようとする場合には、C C F Lに一方極性側のみが発光するランプ片側点灯現象（ピーク放電現象）が発生することがある。このランプ片側点灯現象が発生することに伴って、ランプ内部で水銀が一方電極側に偏ることになり、ランプ寿命が著しく低下する。本発明では、間欠動作オフ時には出力電流I o、出力電圧V oを完全に零にするから、ランプ片側点灯現象が発生することはなく、C C F Lの寿命低下を抑制できる。

25 具体的に回路動作を見ると、さらに図6、図7をも参照して、オフデューティ期間では、比較器221の出力である間欠動作信号（バースト信号）B R Tは

低（L）レベルにあり、NPN234はオフしている。

これにより、ダイオードD232が定電流源I2により順バイアスされ、帰還回路のキャパシタC136は、定電流源I2からダイオードD232を介して充電されている。したがって、検出電流ISは高い値になり、第1誤差増幅器211の
5 誤差出力は高いレベルにあり、NPN235はオンしているから、帰還電圧FBはほぼ零電圧である。

PWM比較器214は、2つの負（-）入力のうちのより低い方の電圧と、正（+）入力の三角波信号CTとが比較されるから、オフデューティ期間では、図6の例えれば左端側に示されるように、PWM制御信号は出力されない。

10 時点t1で、オフデューティ期間からオンデューティ期間へ移るときには、バースト信号BRTは、LレベルからHレベルに変わり、NPN234がオンする。これにより、ダイオードD232が定電流源I2により順バイアスされている状態から解除される。

15 キャパシタC136に充電されている電荷は、定電流源I1、キャパシタC136、抵抗R140、抵抗R115の経路で放電される。このキャパシタC136の電荷の放電に伴い、検出電流ISは緩やかに低下し、また帰還電圧FBは同様に緩やかに上昇していく。そして、検出電流ISが設定された所定値になる状態に到達し、通常のPWM制御が行われる。

20 このようにオフデューティ期間からオンデューティ期間へ移るときに、帰還電圧FBは、ほぼ零電圧からキャパシタC136の放電動作による時間（図7で「 α 」にて表している）をかけて緩やかに上昇する。したがって、PWM制御信号のパルス幅も狭い状態から徐々に広くなるから、出力電流IOはスロースタートして徐々に増加する。よって、オンデューティ期間への移行に伴う出力電流IOのオーバーシュートが、発生することはない。

25 オンデューティ期間では、バースト信号BRTは高（H）レベルになってNPN234はオンし、ダイオードD234は逆バイアスされてオフしている。この

とき、第1誤差増幅器211は入力される検出電流ISに応じた出力を発生し、NPN235の導通度を制御する。これにより、PWM比較器214からPWM制御信号がロジックブロック203に供給されて、ゲート駆動信号P1～N2が出力されて、PMOS101、103、NMOS102、104がPWM制御される。なお、図6のToffは、貫通電流を防止するために設定されている、同時オフ期間である。

時点t2で、オンデューティ期間からオフデューティ期間へ移るときには、バースト信号BRTは、HレベルからLレベルに変わり、NPN234がオフする。これにより、ダイオード232が定電流源I2により順バイアスされる。

そして、キャパシタ136は、定電流源I2、キャパシタ136、NPN235の経路で充電される。このキャパシタ136への電荷の充電に伴い、検出電流ISは緩やかに上昇し、また帰還電圧FBは同様に緩やかに低下していく（図7で「β」にて表している）。検出電流ISは上限値（定電流源I2の電源電圧；3V）になり、帰還電圧FBはほぼ零電圧になる。この場合には、PWM制御は停止される。

このようにオンデューティ期間からオフデューティ期間へ移るときに、帰還電圧FBは、ほぼPWM制御での値からキャパシタ136の充電動作による時間を掛けて緩やかに低下する。即ち、スローエンドする。したがって、PWM制御信号のパルス幅も通常の制御状態から徐々に狭くなっていく。よって、オフデューティ期間への移行に伴う出力電流Ioは、徐々に減少していく。

バーストモードにおいては、起動時とは異なり、既に冷陰極蛍光灯FLは点灯状態にあるから、スロースタート及びスローエンドに掛ける時間は、起動時のスロースタートに要する時間より、短くする。

もし、起動時のソフトスタート用の回路を、バーストモードでのスロースタート及びスローエンドに用いる場合には、立ち上がりに要する時間α、立ち下がりに要する時間βが長くなり、負荷制御を正確に行なうことが困難である。逆に、

バーストモードでのスロースタート及びスローエンドに用いる回路を、起動時のソフトスタート用に用いる場合には、起動時の突入電流を有効に抑制することはできない。

本発明では、バーストモードにおけるスロースタート及びスローエンドを、
5 帰還回路に設けられるキャパシタ 1 3 6 を利用して行い、その時間を決定している。したがって、格別に他の回路手段を設けることなく、PWM制御のために設けられている回路素子を利用して、適切にスロースタート及びスローエンドを行うことができる。

また、間欠動作のスロースタート、スローエンドは、帰還回路のキャパシタ
10 への充放電を利用して行うから、インバータ起動時のスロースタートとは別に、任意の短時間に設定することができる。したがって、その時間設定は、帰還キャパシタの容量を選択することによって変圧器に合わせて調整できるので、音鳴りのレベルを本発明のインバータが使用される電子機器に適合したレベルに減少させることが容易である。

15 また、間欠動作の立ち上がり、立ち下がり期間を含めて全ての期間で本発明のように PWM駆動を行うことによって、CCFLの電流が少ない部分でも正・負電流の対称性が保たれるので、過大電流の防止と相俟って、CCFLの寿命低下を抑制することが出来る。

図 8 は、本発明の第 2 実施例に係るインバータの全体構成を示す図である。
20 この第 2 実施例では、2 台の変圧器 TR 1、TR 2 を設け、ハーフブリッジ型のスイッチング回路により PWM制御するとともに、各変圧器 TR 1、TR 2 にそれぞれ 2 つの二次巻線 309、310、409、410 を設けている。これら各二次巻線 309、310、409、410 には、それぞれ冷陰極蛍光灯 FL 11、FL 12、FL 21、FL 22 を接続して、計 4 本の冷陰極蛍光灯の点灯を制御
25 する例を示している。

図 8 において、第 1 変圧器 TR 1 の系統について説明する。このハーフブリ

シジ型のスイッチ回路は、第1キャパシタ301と第1スイッチであるNMOS 302とで、変圧器TR1の一次巻線308への第1方向の電流経路を形成する。また、第2スイッチであるPMOS303と第2キャパシタ304とで、変圧器TR1の一次巻線308への第2方向の電流経路を形成する。これらのPMOS 5 303、NMOS 302は、それぞれボディダイオード（即ち、バックゲートダイオード）を有している。このボディダイオードにより、本来の電流経路と逆方向の電流を流すことができる。なお、ボディダイオードと同様の機能を果たすダイオードを別に設けてもよい。

直流電源BATの電源電圧VDDがPMOS303、NMOS302、キャ10 パシタ301、304を介して変圧器TR1の一次巻線308に供給され、その2次巻線309、310に巻線比に応じた高電圧が誘起される。この誘起された高電圧が冷陰極蛍光灯FL11、FL12に供給されて、冷陰極蛍光灯FL11、FL12が点灯する。なお、ツェナーダイオード305、抵抗306、キャパシタ307は、直流電源BATの電源電圧VDDと、インバータ制御用IC600 15 の電源電圧VCCとが異なるために、ゲート電圧をレベルシフトするためのものである。

キャパシタ311、312、キャパシタ315、316は、抵抗319、抵抗320とともに、冷陰極蛍光灯FL11、FL12に印加される電圧を検出して、コントローラIC600にフィードバックするものである。抵抗323、抵抗326は、冷陰極蛍光灯FL11、FL12に流れる電流を検出して、コントローラIC600にフィードバックするものである。また、キャパシタ311、315は、そのキャパシタンスと変圧器TR1のインダクタンス成分とで共振させるためのものであり、この共振には冷陰極蛍光灯FL11、FL12の寄生キャパシタンスも寄与する。313、314、317、318、321、322、25 324、325は、ダイオードである。また、327は電源電圧安定用のキャパシタである。

次に、第2変圧器TR2の系統については、各構成要素の番号を、400番台にして、第1変圧器TR1の系統の構成要素と同じ番号を付している。例示すると、一次巻線が308に対して408である。その他も、同様である。したがって、同じ構成であるから、再度の説明を省略する。

5 インバータ制御用IC600は複数の入出力ピンを有している。このIC600は、第1実施例でのインバータ制御用IC200とそのピン配置やその内部構成はほぼ同様である。ただ、第1変圧器TR1の系統と第2変圧器TR2の系統の2系統を持つこと、各変圧器TR1、TR2の2つの二次巻線毎に、冷陰極蛍光灯FL11～FL22を持つことから、フィードバック系などの一部の構成
10において、異なっている。

インバータ制御用IC600が、インバータ制御用IC200と異なる点についてのみ、追加的に説明する。第2ピン2Pは、バースト用三角波信号BCTの充放電電流を設定するための抵抗501を接続する抵抗接続端子である。第4ピン4Pは、PWM用三角波信号CTの放電電流を設定するための抵抗503接続する抵抗接続端子である。これらの端子は必要に応じてインバータ制御用IC200にも設けることができる。

第15ピン15Pは、異常検出信号（図2のFF242の出力に相当する）を外部に出力する端子である。第17ピン17P及び第18ピン18Pは、第1変圧器TR1の系統と第2変圧器TR2の系統の第2番目の冷陰極蛍光灯FL12、FL22の過電流保護を行うための検出信号を入力するものであり、この検出電圧はそれぞれ内部の比較器で基準電圧と比較される。第19ピン19Pは、内部に設けられるレギュレータの出力電圧を外部に出力する端子である。

このIC600の第1ピン1P～第28ピン28Pと、第1実施例でのインバータ制御用IC200の各ピンとは、ピン番号とともに括弧内に示している記号（例えば、DUTYとDUTY；FBとFB1、FB2）が同じものがそれぞれ対応する。

この I C 6 0 0において、抵抗 5 0 1が第 2 ピン 2 Pに、キャパシタ 5 0 2が第 3 ピン 3 Pに、抵抗 5 0 3が第 4 ピン 4 Pに、抵抗 5 0 4が第 5 ピン 5 Pに、抵抗 5 0 5、5 0 6が第 6 ピン 6 Pに、キャパシタ 5 0 7が第 7 ピン 7 Pに、グランドとの間に接続されている。

5 キャパシタ 5 0 8が第 9 ピン 9 Pと第 1 0 ピン 1 0 Pとの間に接続され、また第 1 0 ピン 1 0 Pに抵抗 5 1 3を介して、検出電圧 I S 1が入力される。キャパシタ 5 0 9が第 9 ピン 9 Pと第 1 1 ピン 1 1 Pとの間に接続され、また第 1 1 ピン 1 1 Pに、検出電圧 V S 1が入力される。

10 キャパシタ 5 1 1が第 1 2 ピン 1 2 Pと第 1 3 ピン 1 3 Pとの間に接続され、また第 1 3 ピン 1 3 Pに抵抗 5 1 4を介して、検出電圧 I S 2が入力される。キャパシタ 5 1 2が第 1 2 ピン 1 2 Pと第 1 4 ピン 1 4 Pとの間に接続され、また第 1 4 ピン 1 4 Pに、検出電圧 V S 2が入力される。なお、5 3 1～5 3 4は、キャパシタである。

15 また、直流電源 B A Tの電圧 V D Dを、抵抗 5 2 2、ツェナーダイオード 5 2 3及びN P N 5 2 4とからなるシリーズレギュレータで I C 6 0 0の所定の電源電圧 V C C（例、5～12 v）に調整して、I C 6 0 0に供給する。なお、キャパシタ 5 2 1、5 2 6は安定用キャパシタであり、この他適宜必要な箇所に設置される。

20 次に、以上のように構成される本発明の第 2 実施例のインバータの動作を、図 9、図 1 0 のタイミングチャート、及び図 1 1 の動作説明図をも参照して説明する。

25 図 9～図 1 1 では、第 1 変圧器 T R 1の系統での制御について説明している。なお、I C 6 0 0の内部構成及び動作は第 1 実施例における I C 2 0 0（図 2）とほぼ同様である。また、第 2 変圧器 T R 2の系統での制御も、同様に行われるるので、その説明は省略する。

図 9を参照して、デューティ信号 D U T Yがバースト用三角波信号 B C Tを

越えている間（ON DUTY）は、PWM制御が行われる。一方、デューティ信号DUTYがバースト用三角波信号BCTを下回っている間（OFF DUTY）は、PWM制御が停止され、冷陰極蛍光灯FL11、FL12への電力供給は停止される。

この実施例でも、PWM用三角波信号CTの周波数は例えば100kHzであり、これを周波数が例えば300Hzの三角波信号BCTでバースト制御するから、視覚上で何らの問題はない。そして、デューティ信号DUTYの大きさを制御することにより、PWM制御によって冷陰極蛍光灯FL11、FL12へ供給可能な範囲を超えて、さらに広範囲に電力供給、即ち光量の制御を行うことができる。

図9のタイミングチャートを見ると、デューティ信号DUTYがバースト用三角波信号BCTを下回っている間は、帰還電圧FB1は低い電圧に規制される。これにより、PWM制御は行われず、ゲート駆動信号P1はHレベルにあり、ゲート駆動信号N1はLレベルにある。このため、PMOS303及びNMOS302はオフ状態を継続するから、変圧器TR1への電力供給は行われない。

次に、デューティ信号DUTYがバースト用三角波信号BCTを上回ると、帰還電圧FB1は、第9、第10ピン間に接続されているキャパシタ508の作用により、緩やかに上昇して行き、本来の帰還に応じた定常値に達する。これにより、IC600ではPWM制御が行われて、ゲート駆動信号P1、N1が出力されて、PMOS303、NMOS302がPWM制御される。

PWM制御時の動作を詳しく説明すると、ゲート駆動信号P1、N1は、PMOS303とNMOS302の両方がオフしている同時オフ期間Toffを設けるタイミングで発生する。さらに、変圧器TR1の一次巻線308に流れる電流の方向を第1方向から第2方向へ、あるいは第2方向から第1方向へ切り換える際の電流値が零の状態で切り換えるタイミングで、各ゲート駆動信号P1、N1を発生する。

次に、PWM制御時のゲート駆動信号P1、N1の形成ロジックを、図10、図11を参照して、詳しく説明する。

パルス幅変調信号、即ちPWM用三角波信号CTと帰還電圧FB1に基づいて、PMOS303を駆動するゲート駆動信号P1と、NMOS302を駆動するゲート駆動信号N1とを、PMOS303とNMOS302との両方がオフしている同時オフ期間Toffを設けるタイミングで発生する。さらに、変圧器TRの一次巻線308に流れる電流の方向を第1方向から第2方向へ、あるいは第2方向から第1方向へ切り換える際の電流値が零の状態で切り換えるタイミングで、各ゲート駆動信号P1、N1を発生する。

図10において、区間iでゲート駆動信号P1はLレベル、ゲート駆動信号N1はLレベルにあり、PMOS303がオンし、キャパシタ304を通って一次巻線308には第1方向に電流が流れている。この状態が、図11(a)に示されている。

区間iiになると、ゲート駆動信号P1がHレベルになり、ゲート駆動信号N1がLレベルにあるので、PMOS303とNMOS302は共にオフの期間Toffが形成される。これにより、貫通電流が流れることを防止している。この期間は、変圧器TR1の蓄積エネルギーにより、第1方向の電流が、NMOS302のボディダイオードとキャパシタ304を通して流れ続ける。このとき、@点の電位は、グランド電位GNDから、ボディダイオードによる電圧降下Vfだけ低くなる。この区間iiの状態が、図11(b)に示されている。

区間iiの後半になり、変圧器TR1の蓄積エネルギーによる第1方向の電流が零になると、区間iiiに入る。この区間iiiでは、図11(c)に示されるように、電流が零で、PMOS303、NMOS302ともオフしている。なお、この区間iiiでは、@点の電位は不定になる。このように、本発明では、一次巻線308の電流の方向を切り換える以前に、電流が零の状態が形成される。

この電流方向を切り換える以前に、電流を零とする状態は、変圧器TR1、

共振キャパシタ 311、315、冷陰極蛍光灯 F L 11、F L 12などの電気的条件に合わせて、PWM制御におけるパルス幅の範囲設定を行うことにより、得られる。

区間 iv でゲート駆動信号 P 1 は H レベル、ゲート駆動信号 N 1 は H レベルに
5 あり、NMOS 302 がオンし、キャパシタ 301 を通って一次巻線 308 には第 2 方向に電流が流れている。この状態が、図 11 (d) に示されている。

区間 v になると、ゲート駆動信号 N 1 が L レベルになり、ゲート駆動信号 P 1 が H レベルにあるので、PMOS 303 と NMOS 302 は共にオフの期間 T_{off} が形成される。これにより、貫通電流が流れることを防止している。この
10 期間は、変圧器 TR 1 の蓄積エネルギーにより、第 2 方向の電流が、PMOS 303 のボディダイオードとキャパシタ 301 を通して流れ続ける。このとき、@ 点の電位は、電源電圧 VCC から、ボディダイオードによる電圧降下 V_f だけ高くなる。この区間 v の状態が、図 11 (e) に示されている。

区間 v の後半になり、変圧器 TR 1 の蓄積エネルギーによる第 2 方向の電流
15 が零になると、区間 vi に入る。この区間 vi では、図 11 (f) に示されるように、電流が零で、PMOS 303、NMOS 302 ともオフしている。やはり、この区間 vi では、@点の電位は不定になる。このように、本発明では、一次巻線 308 の電流の方向を切り換える以前に、電流が零の状態が形成される。

このように、第 1 スイッチ 303 は、三角波信号列 CT の 1 つおきの三角波信号の一方頂点の時点でオンし、その直後の三角波信号と帰還信号 FB とが等しくなるまでオンを継続し、第 2 スイッチ 302 は、三角波信号列 CT の第 1 スイッチ 303 がオンする三角波信号とは異なる 1 つおきの三角波信号の一方頂点の時点でオンし、その直後の三角波信号と帰還信号 FB とが等しくなるまでオンを継続している。

25 なお、図 8において、PMOS 303 に代えて、第 1 スイッチとして、N MOS を用いることもできる。この場合には、この変更に合わせて、ゲート駆動信

号も変更することになる。

次に、バーストモードについては、この第2実施例においても、間欠動作制御回路によって、第1実施例と同様に、間欠動作信号BRTに基づいて間欠動作オフ時に誤差信号FB1、FB2を実質上零に設定させるとともに、間欠動作オフ状態から間欠動作オン状態への移行時に誤差信号FB1、FB2を緩やかに増加させ、また、間欠動作オン状態から間欠動作オフ状態への移行時に誤差信号FB1、FB2を緩やかに減少させる。

そのバーストモード時の動作やそれによる効果なども、第1実施例におけると同様であるので、再度の説明を省略する。

10

産業上の利用可能性

本発明に係るインバータ、そのコントローラIC、及びそのインバータを用いた電子機器は、ノートパソコンの液晶モニター、液晶テレビ受像機、カーナビ用表示装置などの液晶ディスプレイのバックライト光源に、好適に用いることが
15 できる。

請求の範囲

1. 一次巻線と少なくとも 1 つの二次巻線とを持つ変圧器と、
直流電源間に前記一次巻線を間に介して直列に接続され、前記一次巻線に第 1
5 方向に電流を流すための第 1 半導体スイッチ及び第 2 半導体スイッチと、前記直
流電源間に前記一次巻線を間に介して直列に接続され、前記一次巻線に第 2 方向
に電流を流すための第 3 半導体スイッチ及び第 4 半導体スイッチと、
前記二次巻線に接続された負荷に流れる電流を検出する電流検出回路と、
三角波信号を発生する三角波信号発生回路と、
10 前記電流検出回路による電流検出信号に基づく誤差信号と前記三角波信号とを
比較して PWM 制御信号を発生する PWM 制御信号発生回路と、
間欠動作信号に基づいて間欠動作オフ時に前記誤差信号を実質上零に設定させ
るとともに、間欠動作オフ状態から間欠動作オン状態への移行時に前記誤差信号
を緩やかに増加させ、間欠動作オン状態から間欠動作オフ状態への移行時に前記
15 誤差信号を緩やかに減少させる間欠動作制御回路と、
前記 PWM 制御信号に基づいて、前記第 1 半導体スイッチをオンさせる第 1 ス
イッチ信号と、前記第 2 半導体スイッチをオンさせる第 2 スイッチ信号と、前記
第 3 半導体スイッチをオンさせる第 3 スイッチ信号と、前記第 4 半導体スイッチ
をオンさせる第 4 スイッチ信号とを、前記第 1 スイッチと前記第 4 スイッチとの
20 両方がオフしている同時オフ期間及び前記第 3 スイッチと前記第 2 スイッチとの
両方がオフしている同時オフ期間を設けるように、且つ前記一次巻線に流れる電
流の方向を前記第 1 方向から前記第 2 方向あるいは前記第 2 方向から前記第 1 方
向へ切り換える際の電流値が零の状態で切り換えるタイミングで、発生するスイ
ッチ信号出力用のロジック回路とを備えることを特徴とする、直流一交流変換裝
置。
25 2. 前記第 2 スイッチは、前記三角波信号列の 1 つおきの三角波信号の一方頂

点の時点でオンし、その直後の三角波信号と前記誤差信号とが等しくなるまでオ
ンを継続し、前記第1スイッチは、前記第2スイッチがオンする時点の所定時間
前にオンし、前記第2スイッチがオフした直後の三角波信号の他方頂点の時点ま
でオンを継続し、前記第4スイッチは、前記三角波信号列の前記第2スイッチが
5 オンする三角波信号とは異なる1つおきの三角波信号の一方頂点の時点でオンし、
その直後の三角波信号と前記誤差信号とが等しくなるまでオンを継続し、前記第
3スイッチは、前記第2スイッチがオフで前記第1スイッチがオンしている時点
であって、前記第4スイッチがオンする所定期間前からオンし、前記第4スイッ
チがオフした直後の三角波信号の他方頂点の時点までオンを継続することを特徴
10 とする、請求項1記載の直流一交流変換装置。

3. 一次巻線と少なくとも1つの二次巻線とを持つ変圧器と、

直流電源間に前記一次巻線を間に介して直列に接続され、前記一次巻線に第1
方向に電流を流すための第1キャパシタと第1半導体スイッチと、前記直流電源
間に前記一次巻線を間に介して直列に接続され、前記一次巻線に第2方向に電流
15 を流すための第2半導体スイッチ及び第2キャパシタと、

前記二次巻線に接続された負荷に流れる電流を検出する電流検出回路と、

三角波信号を発生する三角波信号発生回路と、

前記電流検出回路による電流検出信号に基づく誤差信号と前記三角波信号とを
比較してPWM制御信号を発生するPWM制御信号発生回路と、

20 間欠動作信号に基づいて間欠動作オフ時に前記誤差信号を実質上零に設定させ
るとともに、間欠動作オフ状態から間欠動作オン状態への移行時に前記誤差信号
を緩やかに増加させ、間欠動作オン状態から間欠動作オフ状態への移行時に前記
誤差信号を緩やかに減少させる間欠動作制御回路と、

前記PWM制御信号に基づいて、前記第1半導体スイッチをオンさせる第1ス
25 イッチ信号と、前記第2半導体スイッチをオンさせる第2スイッチ信号とを、前
記第1スイッチと前記第2スイッチとの両方がオフしている同時オフ期間を設け

るよう、且つ前記一次巻線に流れる電流の方向を前記第1方向から前記第2方向あるいは前記第2方向から前記第1方向へ切り換える際の電流値が零の状態で切り換えるタイミングで、発生するスイッチ信号出力用のロジック回路とを備えることを特徴とする、直流一交流変換装置。

5 4. 前記第1スイッチは、前記三角波信号列の1つおきの三角波信号の一方頂点の時点でオンし、その直後の三角波信号と前記誤差信号とが等しくなるまでオンを継続し、前記第2スイッチは、前記三角波信号列の前記第1スイッチがオンする三角波信号とは異なる1つおきの三角波信号の一方頂点の時点でオンし、その直後の三角波信号と前記誤差信号とが等しくなるまでオンを継続することを特徴とする、請求項3記載の直流一交流変換装置。

5. 前記PWM制御信号発生回路は、前記電流検出信号と電流基準信号との差に基づく誤差信号が出力される誤差信号発生回路と、前記三角波信号と前記誤差信号とを比較して前記PWM制御信号を出力するPWM比較器とを有し、

15 前記間欠動作制御回路は、前記誤差信号発生回路に結合され、前記間欠動作信号によってオン或いはオフに制御される間欠動作用制御素子を有し、間欠動作オフ時に前記誤差信号が実質上零になるように前記間欠動作用制御素子がスイッチングされることを特徴とする、請求項1乃至4のいずれかに記載の直流一交流変換装置。

6. 前記誤差信号発生回路は、前記電流検出信号を前記電流基準信号と比較する誤差增幅器の誤差出力に基づいて前記誤差信号を出力し、

前記間欠動作制御回路は、前記誤差增幅器への前記電流検出信号を所定値に設定することにより、前記誤差信号を実質上零にすることを特徴とする、請求項5記載の直流一交流変換装置。

7. 前記誤差信号発生回路の出力端と前記誤差增幅器の電流検出信号入力端との間にキャパシタが接続されており、

間欠動作オフへの移行時に前記誤差信号が零になる方向に前記キャパシタの電

荷を放電し、間欠動作オンへの移行時に前記誤差信号が増加する方向に前記キャパシタに電荷を充電させることを特徴とする、請求項 6 記載の直流一交流変換装置。

8. 変圧器の一次巻線を間に介して直列に接続され、直流電源からの電流を第 5 1 方向に電流を流すための第 1 半導体スイッチ及び第 2 半導体スイッチと、前記一次巻線を間に介して直列に接続され、前記直流電源からの電流を第 2 方向に電流を流すための第 3 半導体スイッチ及び第 4 半導体スイッチとを含むスイッチ回路を駆動して、前記変圧器の二次巻線に接続された負荷へ交流電力を供給するためのコントローラ I C であって、

10 三角波信号を発生する三角波信号発生回路と、

前記負荷に流れる電流に応じた電流検出信号に基づく誤差信号と前記三角波信号とを比較して PWM 制御信号を発生する PWM 制御信号発生回路と、

15 間欠動作信号に基づいて間欠動作オフ時に前記誤差信号を実質上零に設定させるとともに、間欠動作オフ状態から間欠動作オン状態への移行時に前記誤差信号を緩やかに増加させ、間欠動作オン状態から間欠動作オフ状態への移行時に前記誤差信号を緩やかに減少させるための間欠動作制御回路と、

前記 PWM 制御信号に基づいて、前記第 1 半導体スイッチをオンさせる第 1 スイッチ信号と、前記第 2 半導体スイッチをオンさせる第 2 スイッチ信号と、前記第 3 半導体スイッチをオンさせる第 3 スイッチ信号と、前記第 4 半導体スイッチをオンさせる第 4 スイッチ信号とを、前記第 1 スイッチと前記第 4 スイッチとの両方がオフしている同時オフ期間及び前記第 3 スイッチと前記第 2 スイッチとの両方がオフしている同時オフ期間を設けるように、且つ前記一次巻線に流れる電流の方向を前記第 1 方向から前記第 2 方向あるいは前記第 2 方向から前記第 1 方向へ切り換える際の電流値が零の状態で切り換えるタイミングで、発生するスイッチ信号出力用のロジック回路とを備えることを特徴とする、コントローラ I C。

9. 前記第 2 スイッチは、前記三角波信号列の 1 つおきの三角波信号の一方頂

点の時点でオンし、その直後の三角波信号と前記誤差信号とが等しくなるまでオンを継続し、前記第1スイッチは、前記第2スイッチがオンする時点の所定時間前にオンし、前記第2スイッチがオフした直後の三角波信号の他方頂点の時点までオンを継続し、前記第4スイッチは、前記三角波信号列の前記第2スイッチが5 オンする三角波信号とは異なる1つおきの三角波信号の一方頂点の時点でオンし、その直後の三角波信号と前記誤差信号とが等しくなるまでオンを継続し、前記第3スイッチは、前記第2スイッチがオフで前記第1スイッチがオンしている時点であって、前記第4スイッチがオンする所定期間前からオンし、前記第4スイッチがオフした直後の三角波信号の他方頂点の時点までオンを継続することを特徴10 とする、請求項8記載のコントローラIC。

10. 変圧器の一次巻線を間に介して直列に接続され、直流電源からの電流を第1方向に流すための第1キャパシタと第1半導体スイッチと、前記一次巻線を間に介して直列に接続され、直流電源からの電流を第2方向に流すための第2半導体スイッチ及び第2キャパシタとを含むスイッチ回路を駆動して、前記変圧器15 の二次巻線に接続された負荷へ交流電力を供給するためのコントローラICであって、

三角波信号を発生する三角波信号発生回路と、
前記負荷に流れる電流に応じた電流検出信号に基づく誤差信号と前記三角波信号とを比較してPWM制御信号を発生するPWM制御信号発生回路と、
20 間欠動作信号に基づいて間欠動作オフ時に前記誤差信号を実質上零に設定させるとともに、間欠動作オフ状態から間欠動作オン状態への移行時に前記誤差信号を緩やかに増加させ、間欠動作オン状態から間欠動作オフ状態への移行時に前記誤差信号を緩やかに減少させるための間欠動作制御回路と、

前記PWM制御信号に基づいて、前記第1半導体スイッチをオンさせる第1スイッチ信号と、前記第2半導体スイッチをオンさせる第2スイッチ信号とを、前記第1スイッチと前記第2スイッチとの両方がオフしている同時オフ期間を設け25

るよう、且つ前記一次巻線に流れる電流の方向を前記第1方向から前記第2方向あるいは前記第2方向から前記第1方向へ切り換える際の電流値が零の状態で切り換えるタイミングで、発生するスイッチ信号出力用のロジック回路とを備えることを特徴とする、コントローラIC。

5 1 1. 前記第1スイッチは、前記三角波信号列の1つおきの三角波信号の一方頂点の時点でおんし、その直後の三角波信号と前記誤差信号とが等しくなるまでオンを継続し、前記第2スイッチは、前記三角波信号列の前記第1スイッチがオンする三角波信号とは異なる1つおきの三角波信号の一方頂点の時点でオンし、その直後の三角波信号と前記誤差信号とが等しくなるまでオンを継続することを
10 特徴とする、請求項10記載のコントローラIC。

1 2. 前記PWM制御信号発生回路は、前記電流検出信号と電流基準信号との差に基づく誤差信号が出力される誤差信号発生回路と、前記三角波信号と前記誤差信号とを比較して前記PWM制御信号を出力するPWM比較器とを有し、

前記間欠動作制御回路は、前記誤差信号発生回路に結合され、前記間欠動作信号によってオン或いはオフに制御される間欠動作用制御素子を有し、間欠動作オフ時に前記誤差信号が実質上零になるように前記間欠動作用制御素子がスイッチングされることを特徴とする、請求項8乃至11のいずれかに記載のコントローラIC。

1 3. 前記誤差信号発生回路は、前記電流検出信号を前記電流基準信号と比較する誤差增幅器の誤差出力に基づいて前記誤差信号を出力し、

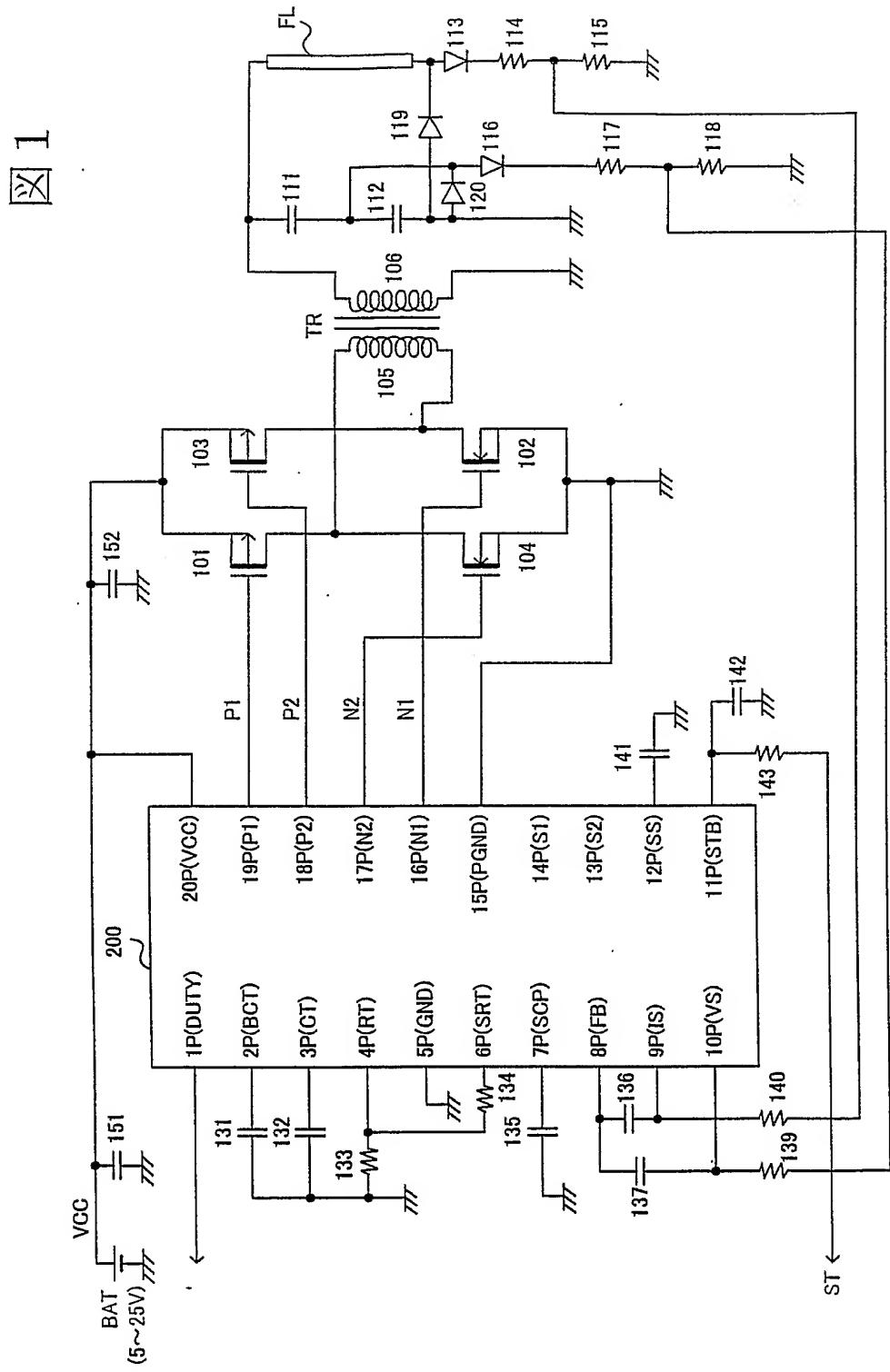
前記間欠動作制御回路は、前記誤差增幅器への前記電流検出信号を所定値に設定することにより、前記誤差信号を実質上零にすることを特徴とする、請求項12記載のコントローラIC。

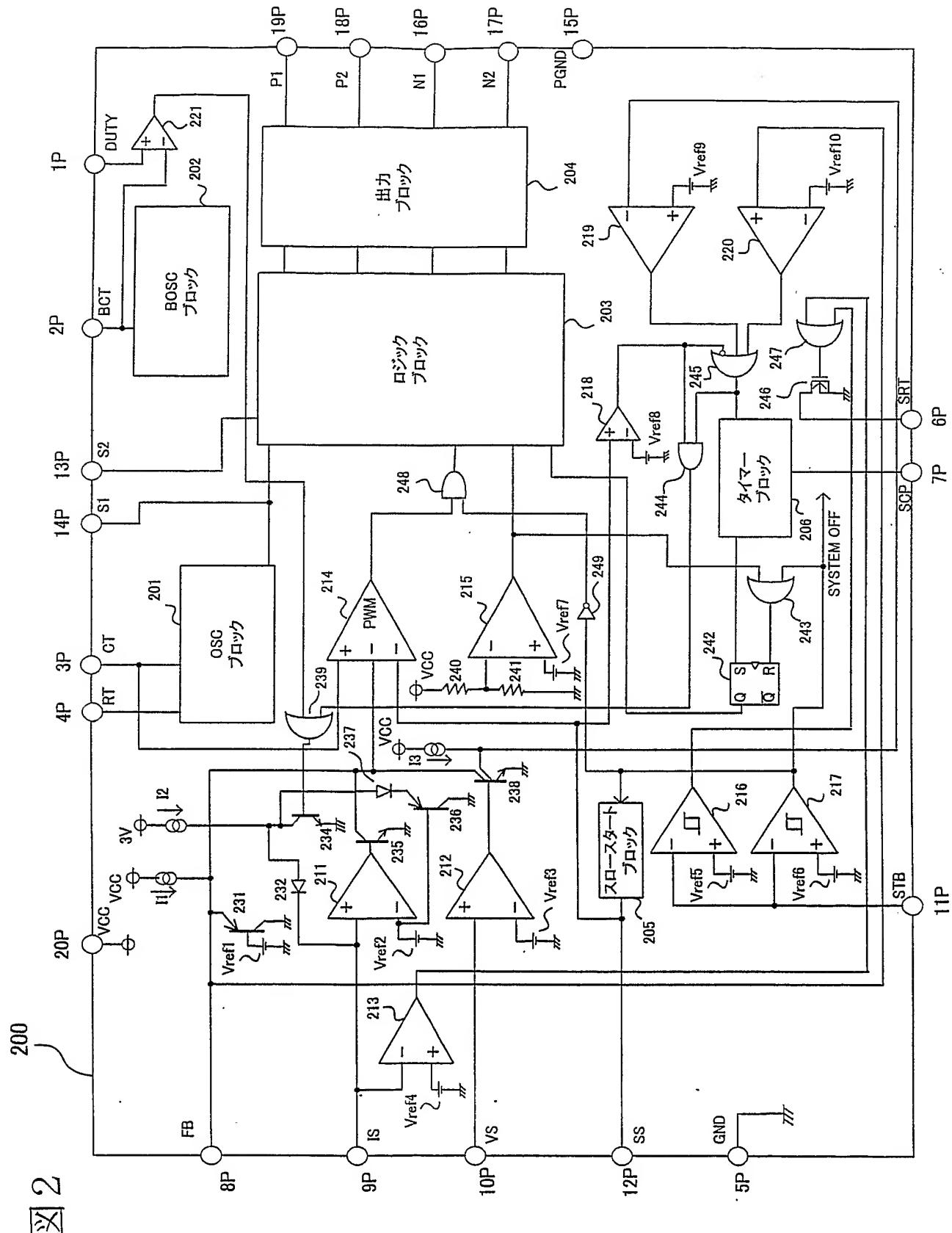
1 4. 前記誤差信号発生回路の出力端と前記誤差増幅器の電流検出信号入力端との間に接続されるキャパシタの電荷を、間欠動作オフへの移行時に前記誤差信号が零になる方向に放電し、

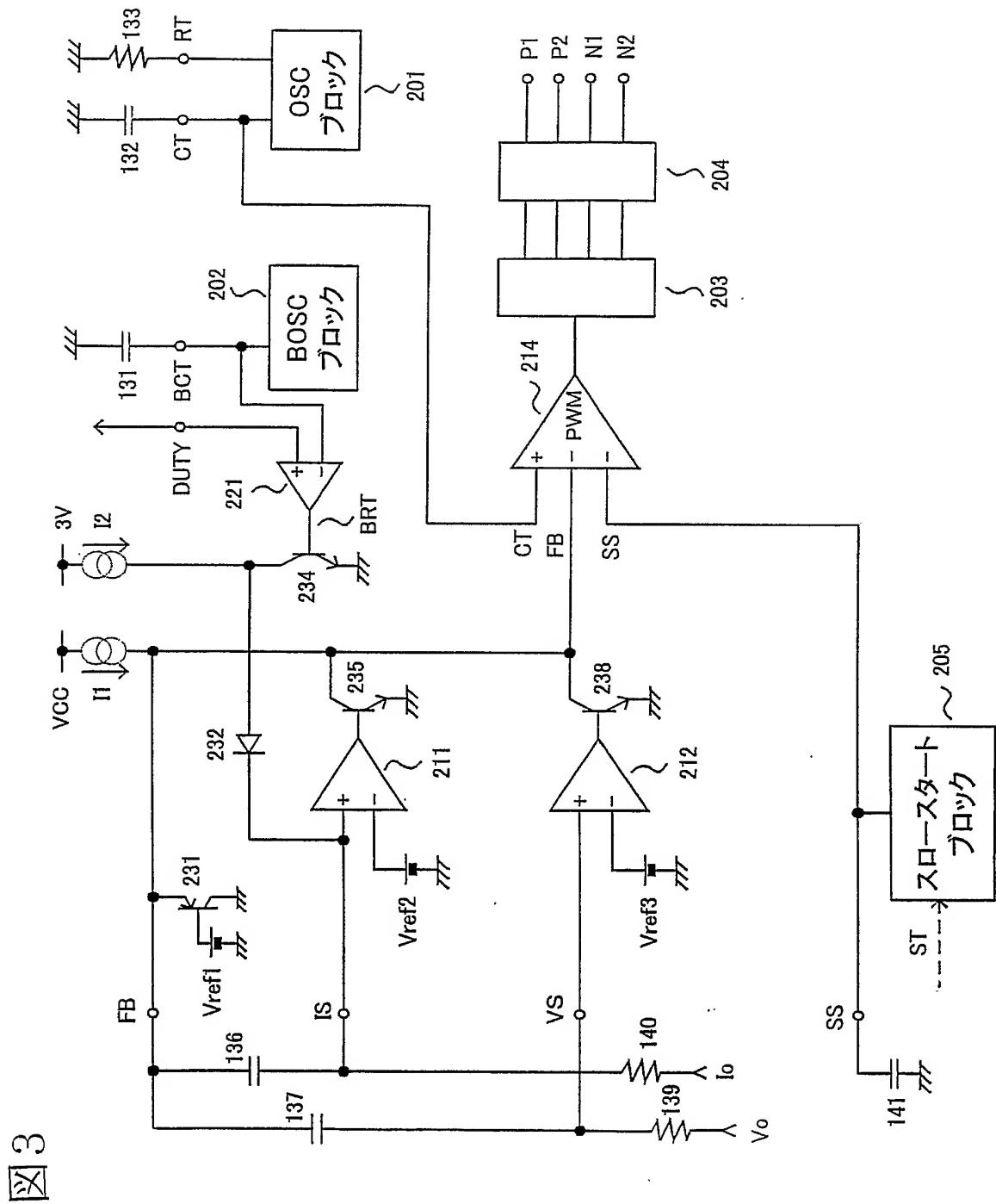
前記キャパシタへ電荷を、間欠動作オンへの移行時に前記誤差信号が増加する方向に充電させることを特徴とする、請求項 1 3 記載のコントローラ I C。

1 5 . 直流電源と、該直流電源の直流電圧が入力され交流出力を発生する請求項 1 乃至 7 のいずれかに記載の直流一交流変換装置と、該直流一交流変換装置の
5 交流出力により駆動される発光装置とを備えることを特徴とする、電子機器。

1 6 . 前記発光装置は、C C F L であることを特徴とする、請求項 1 5 記載の電子機器。







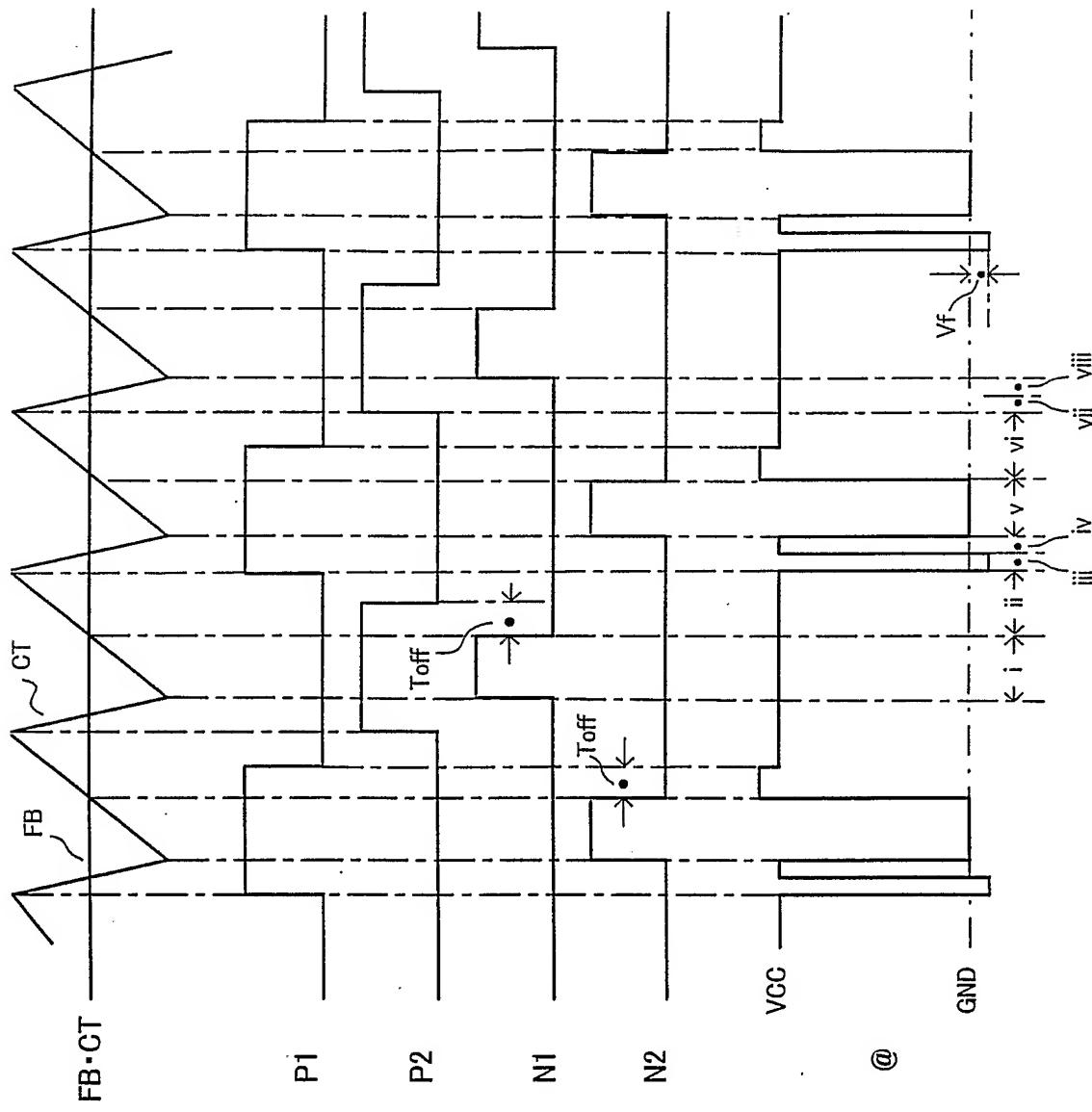


图 4

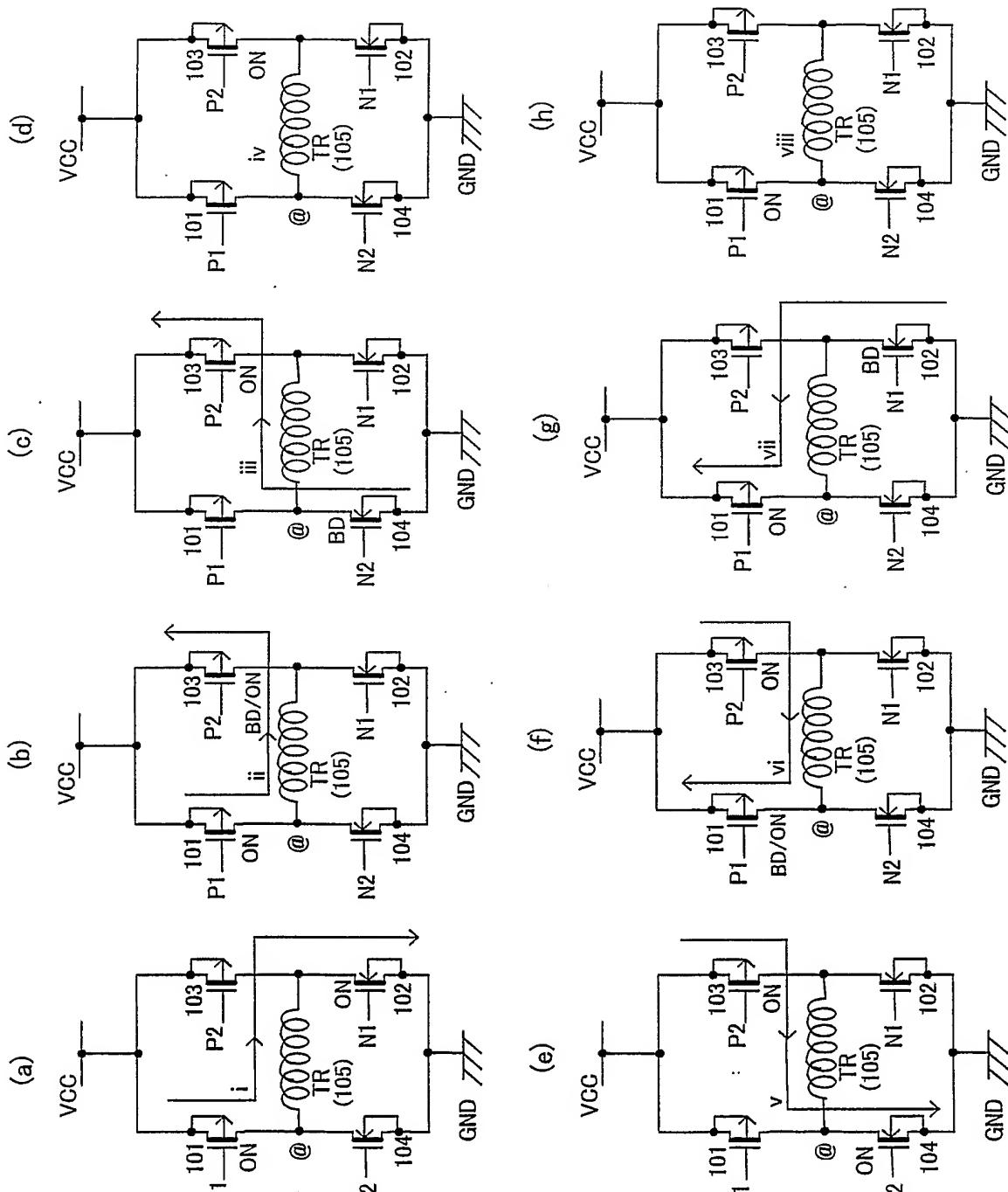


図 5

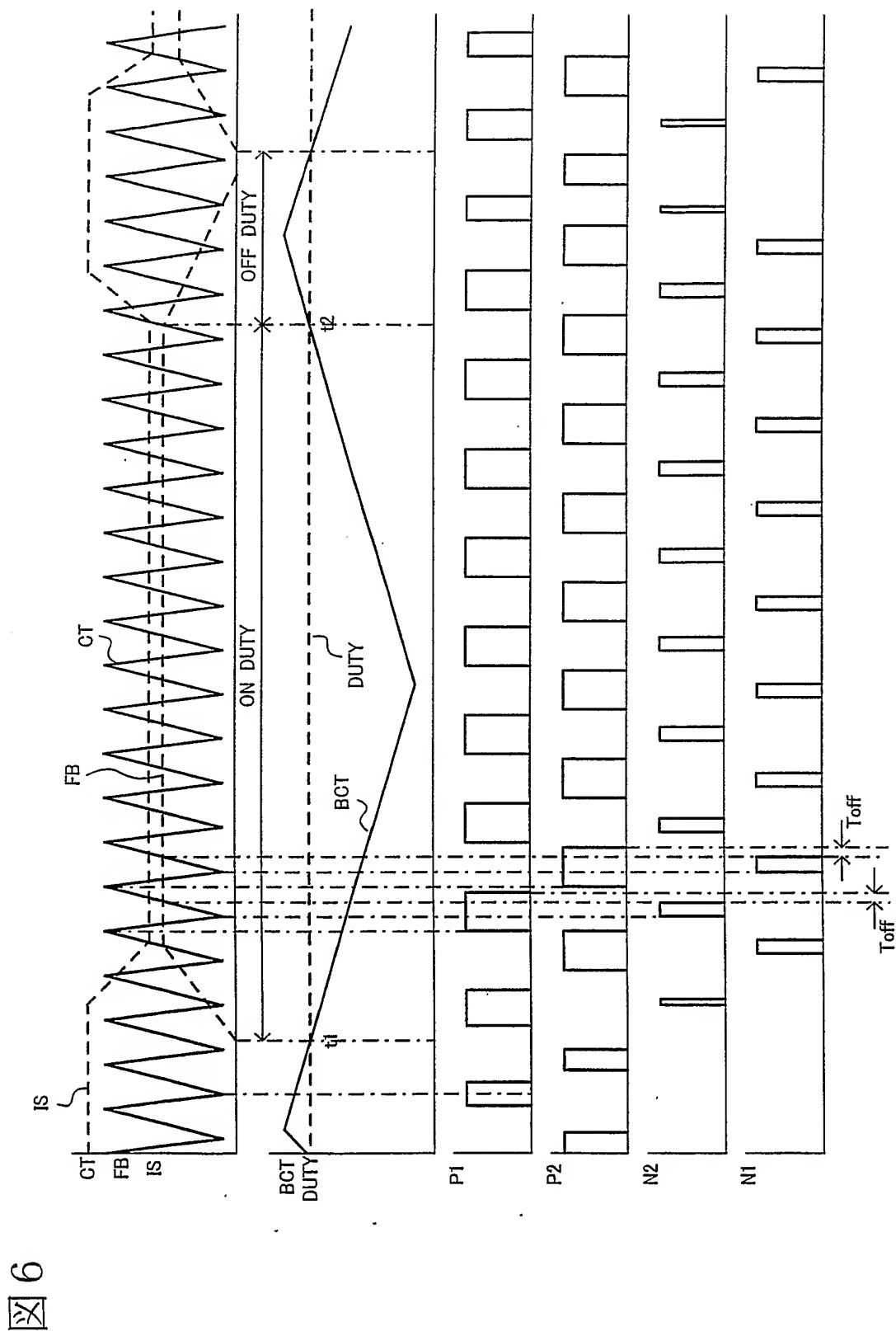
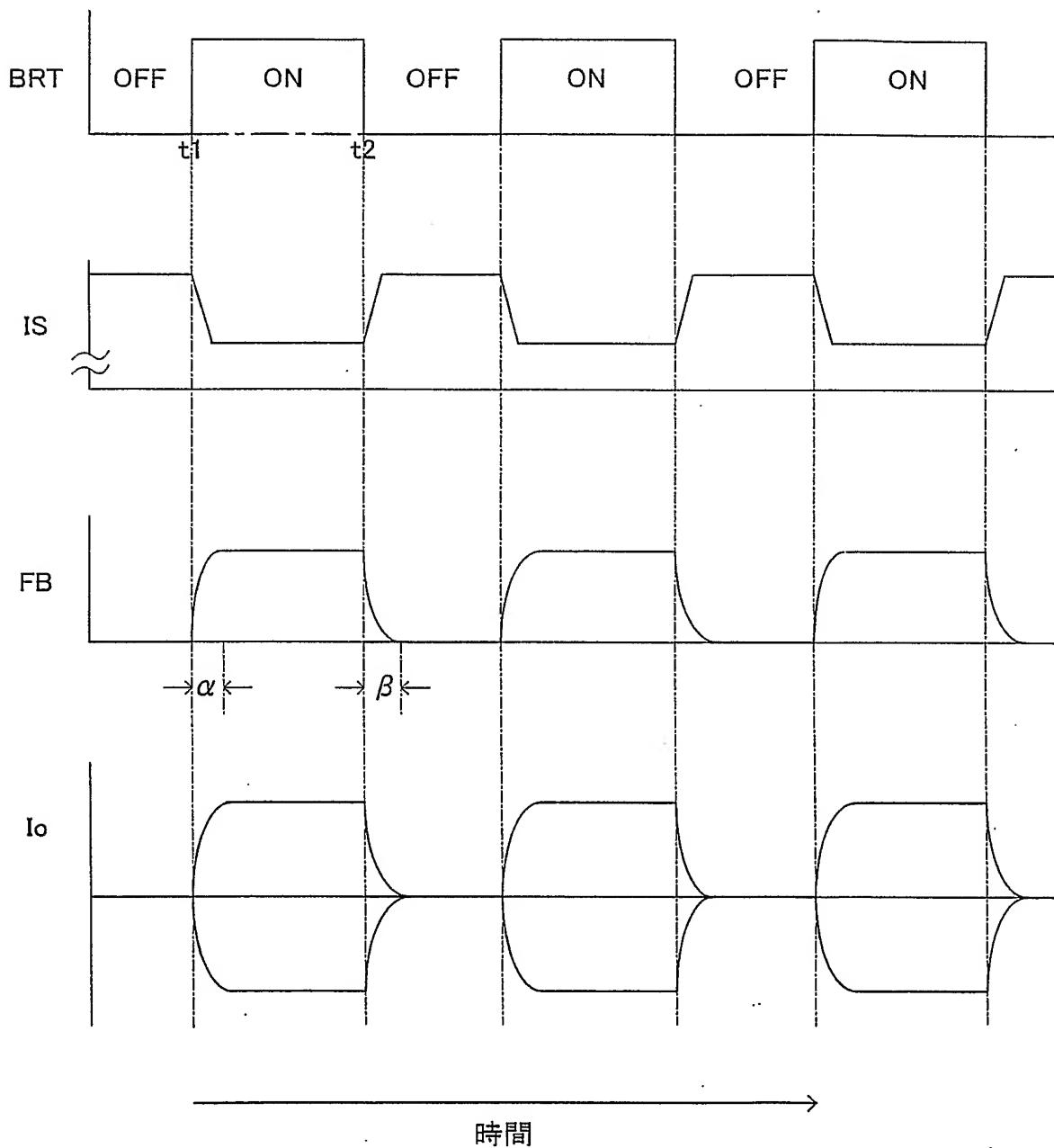
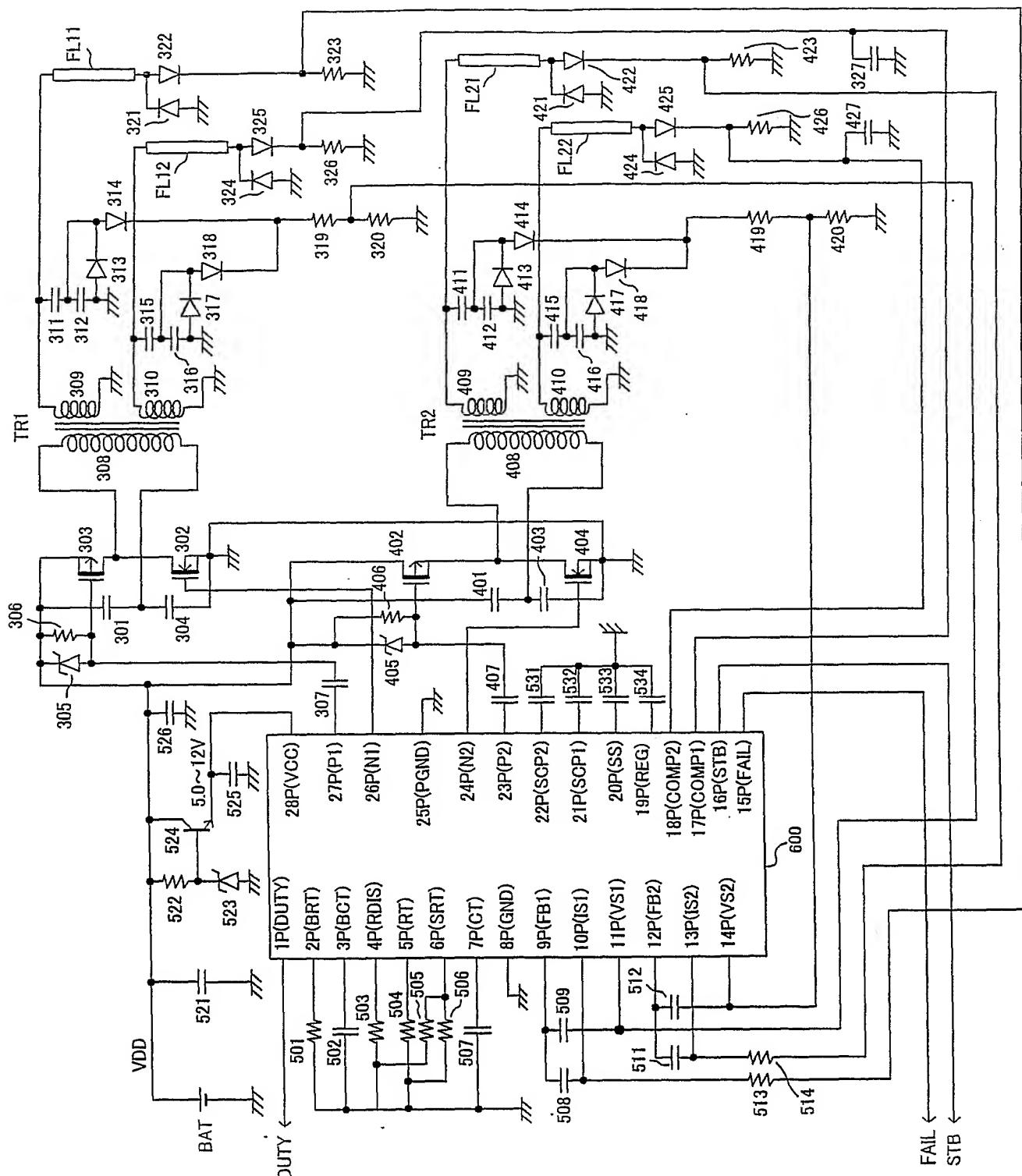


図 7



8



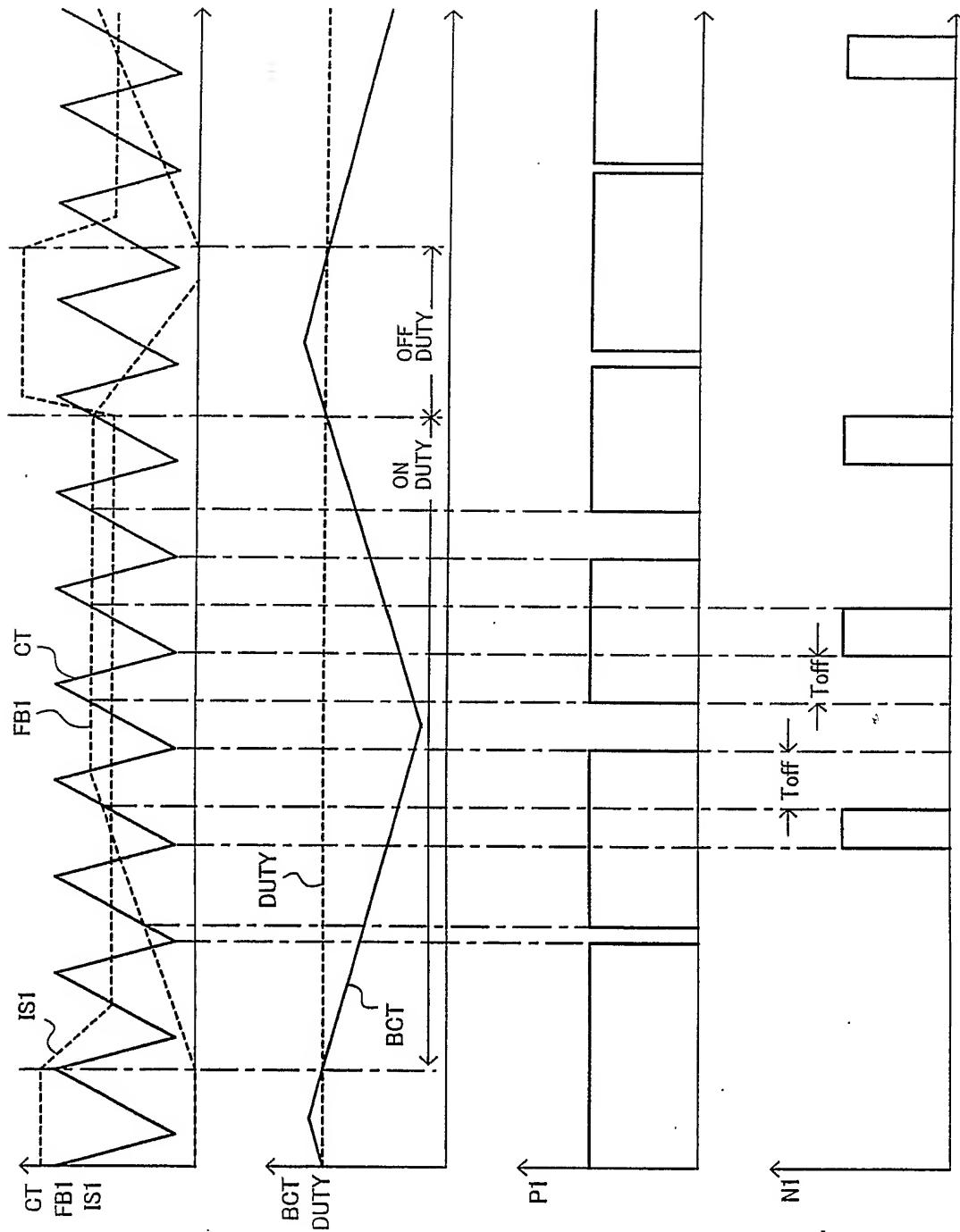


図 9

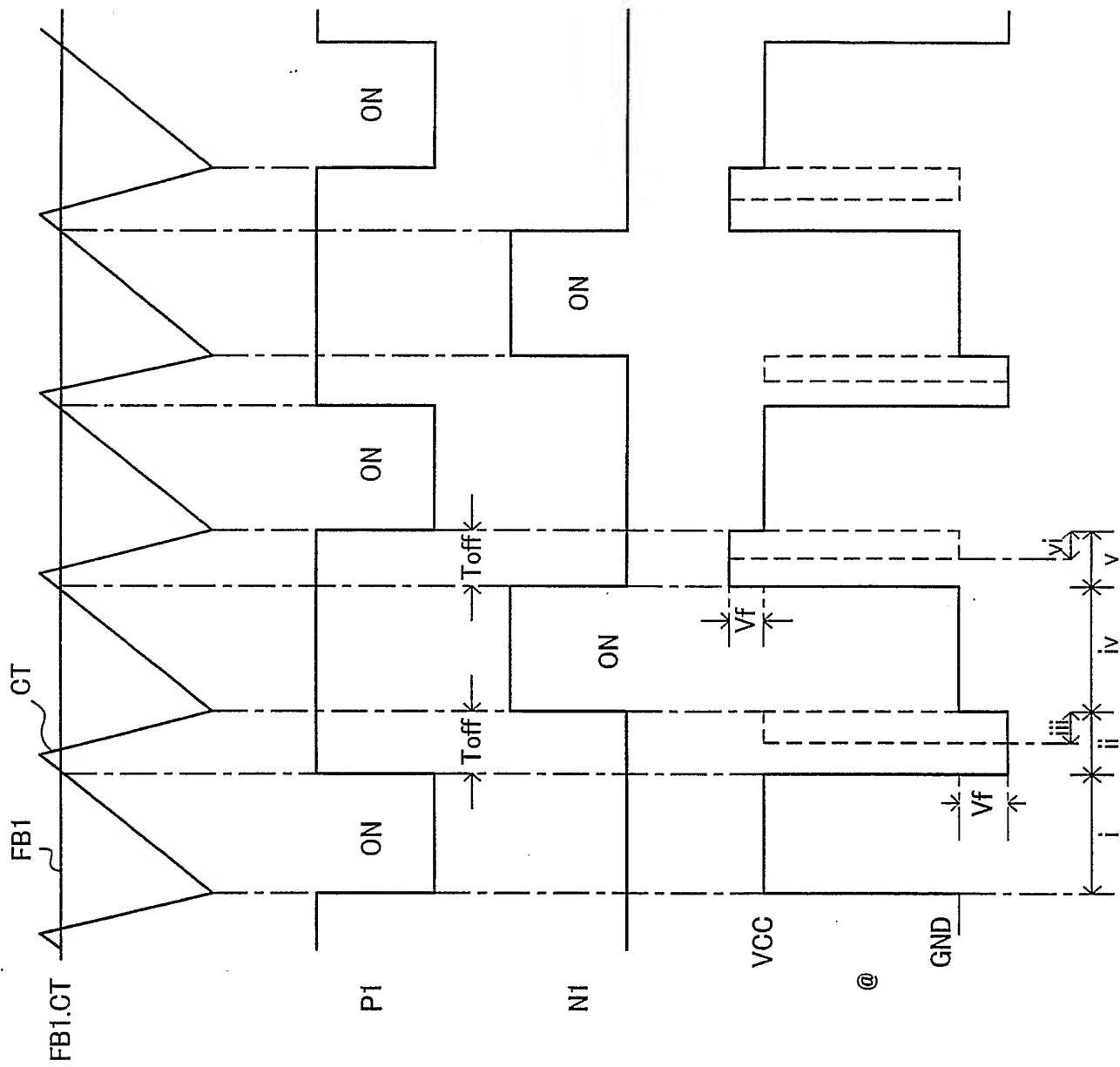
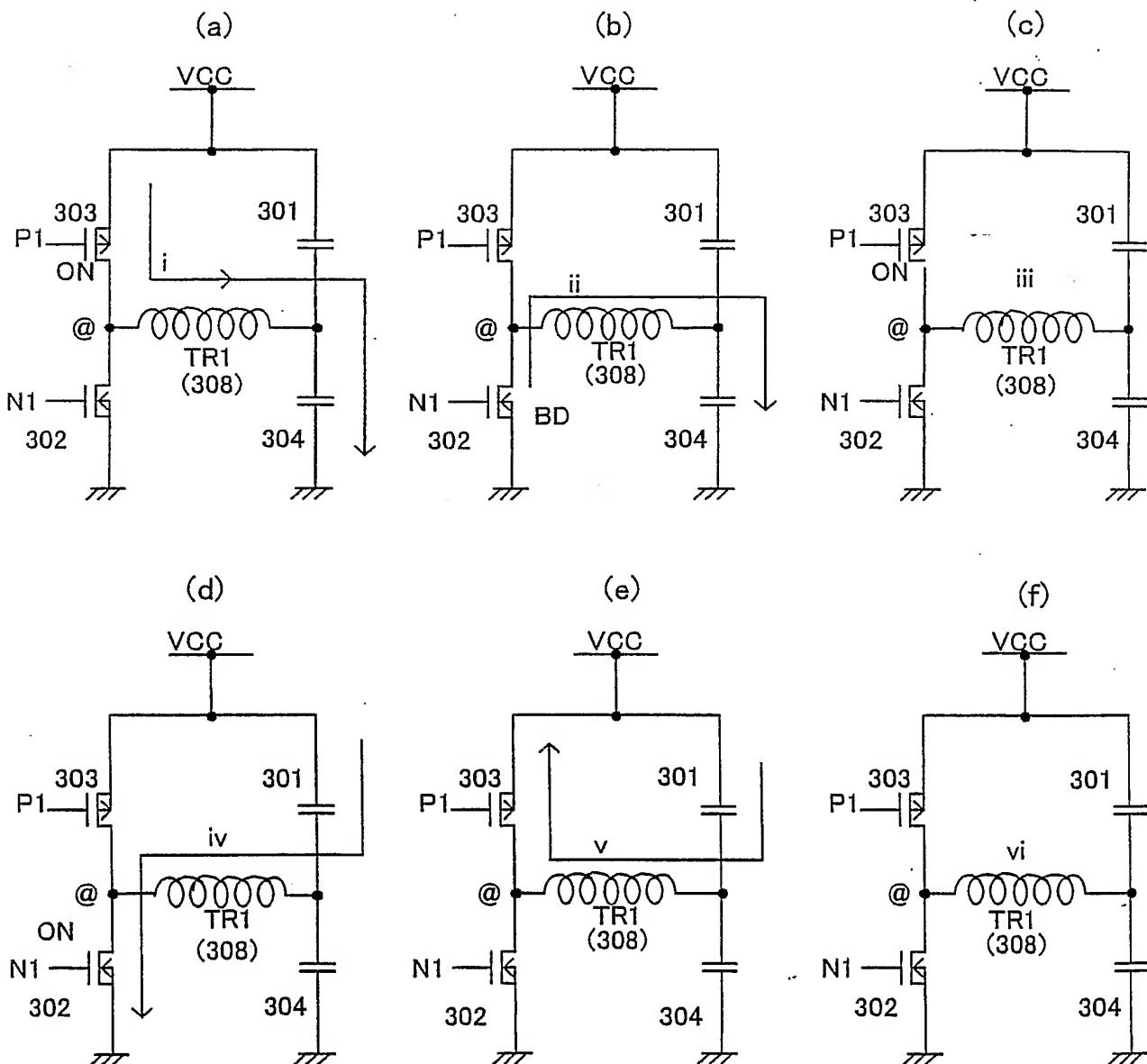


図10

図 1 1



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004018

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H02M7/48, H05B41/24, 41/392

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

 Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H02M7/48, H05B41/24, 41/392

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-55538 A (Monolithic Power Systems, Inc.), 19 February, 2004 (19.02.04), & US 2002/0171376 A1 & US 2002/0047601 A1 & US 6316881 B1 & US 6114814 A & US 2004/0155607 A1 & US 2003/0161164 A1 & EP 1367864 A1 & CN 1462167 A	1-16
A	JP 7-302688 A (Minebea Co., Ltd.), 14 November, 1995 (14.11.95), (Family: none)	1-16

 Further documents are listed in the continuation of Box C.

 See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

 Date of the actual completion of the international search
 09 May, 2005 (09.05.05)

 Date of mailing of the international search report
 24 May, 2005 (24.05.05)

 Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl.⁷ H02M7/48, H05B41/24, 41/392

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl.⁷ H02M7/48, H05B41/24, 41/392

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2004-55538 A (モノリシック パワー システムズ インコーポレイテッド) 19. 02. 2004 US 2002/0171376 A1 & US 2002/0047601 A1 & US 6316881 B1 & US 6114814 A & US 2004/0155607 A1 & US 2003/0161164 A1 & EP 1367864 A1 & CN 1462167 A	1-16
A	J P 7-302688 A (ミネベア株式会社) 14. 11. 1995 (ファミリーなし)	1-16

〔 C 欄の続きにも文献が列挙されている。 〕

〔 パテントファミリーに関する別紙を参照。 〕

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日 09.05.2005	国際調査報告の発送日 24.5.2005
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 川端 修 電話番号 03-3581-1101 内線 3358 3V 8718